

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-141726

(43)Date of publication of application : 16.05.2003

(51)Int.Cl.

G11B 7/0045

G11B 7/125

G11B 20/10

(21)Application number : 2001-334303

(71)Applicant : RICOH CO LTD

(22)Date of filing : 31.10.2001

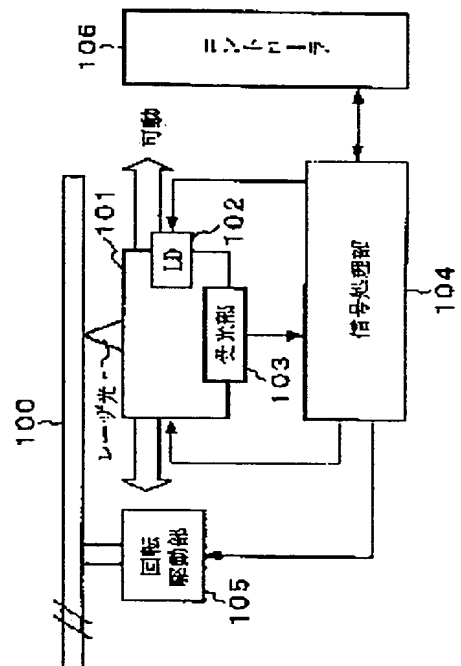
(72)Inventor : MASUI NARIHIRO
EMA HIDETOSHI

(54) OPTICAL INFORMATION RECORDING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the deviation of an optical modulation waveform from a desired value caused by the distortion, skewing or the like of an optical modulation control signal waveform, and to meet the requirements of a higher speed of information recording and higher density recording on an information recording medium without sacrificing costs or performance.

SOLUTION: A light is emitted from a light source by a plurality of pulse train waveforms based on a multivalued irradiation level corresponding to a binary signal recorded on an information recording medium and, when the information recording medium is irradiated with the emitted light to form a recording mark corresponding to the binary signal, a frequency and a duty of the pulse train waveforms is set.



LEGAL STATUS

[Date of request for examination]

17.05.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2003-141726
(P2003-141726A)

(43) 公開日 平成15年5月16日 (2003.5.16)

(51) Int.Cl. ⁷	識別記号	F I	テマコード ⁸ (参考)
G 1 1 B 7/0045		G 1 1 B 7/0045	A 5 D 0 4 4
7/125		7/125	C 5 D 0 9 0
20/10	3 1 1	20/10	3 1 1 5 D 1 1 9
			5 D 7 8 9

審査請求 未請求 請求項の数 11 O L (全 31 頁)

(21) 出願番号 特願2001-334303 (P2001-334303)

(22) 出願日 平成13年10月31日 (2001. 10. 31)

(71) 出願人 000006747
株式会社リコー
東京都大田区中馬込 1 丁目 3 番 6 号

(72) 発明者 増井 成博
東京都大田区中馬込 1 丁目 3 番 6 号 株式
会社リコー内

(72) 発明者 江間 秀利
東京都大田区中馬込 1 丁目 3 番 6 号 株式
会社リコー内

(74) 代理人 100080931
弁理士 大澤 敬

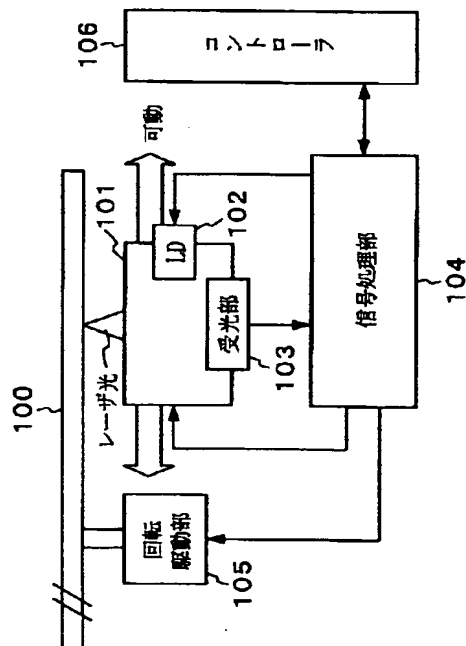
最終頁に続く

(54) 【発明の名称】 光情報記録装置

(57) 【要約】

【課題】 光変調制御信号波形の歪みやスキュー等による光変調波形の所望値からのずれを抑制し、情報記録の高速化と情報記録媒体への高密度化記録などの要求に対しても、コストと性能などを犠牲にすることなく実現できるようにする。

【解決手段】 光源を情報記録媒体に記録する二値化信号に対応する多値の照射レベルに基づく複数のパルス列波形で発光させ、その発光させた光を情報記録媒体に照射して上記二値化信号に対応する記録マークを形成するとき、上記パルス列波形の周波数及びデューティを任意に設定するようにした。



【特許請求の範囲】

【請求項1】 光源を情報記録媒体に記録する二値化信号に対応する多値の照射レベルに基づく複数のパルス列波形で発光させ、該発光させた光を前記情報記録媒体に照射して前記二値化信号に対応する記録マークを形成する光情報記録装置において、前記パルス列波形の周波数及びデューティを任意に設定するようにしたことを特徴とする光情報記録装置。

【請求項2】 光源を情報記録媒体に記録する二値化信号に対応する多値の照射レベルに基づく複数のパルス列波形で発光させ、該発光させた光を前記情報記録媒体に照射して前記二値化信号に対応する記録マークを形成する光情報記録装置において、前記複数のパルス列波形の各パルス幅を示すタイミング情報と該タイミング情報の繰返し数を示すパルス数情報とをそれぞれ少なくとも一つ以上記憶する駆動波形生成情報保持手段と、前記二値化信号に基づいて前記各タイミング情報毎に一つを選択する情報選択手段と、該情報選択手段によって選択したタイミング情報及び前記パルス数情報とに基づいて前記照射レベルの変化タイミングを示す変調信号を生成する変調信号生成手段と、該変調信号生成手段によって生成した変調信号と前記照射レベルに対応する状態の遷移を指示する状態遷移信号と予め設定された遷移規則とに基づいて前記状態の遷移を制御し、選択された状態に基づいて前記光源を駆動する光源駆動手段とを設けたことを特徴とする光情報記録装置。

【請求項3】 光源を情報記録媒体に記録する二値化信号に対応する多値の照射レベルに基づく複数のパルス列波形で発光させ、該発光させた光を前記情報記録媒体に照射して前記二値化信号に対応する記録マークを形成する光情報記録装置において、前記複数のパルス列波形の各パルス幅を示すタイミング情報と該タイミング情報の繰返し数を示すパルス数情報とをそれぞれ少なくとも一つ以上記憶する駆動波形生成情報保持手段と、前記二値化信号に基づいて前記各タイミング情報毎にその一つを選択する情報選択手段と、該情報選択手段によって選択したタイミング情報及び前記パルス数情報とに基づいて前記照射レベルの変化タイミングを示す変調信号を生成する変調信号生成手段と、該変調信号生成手段によって生成した変調信号と前記照射レベルに対応する状態の遷移を指示する状態遷移信号と予め設定された遷移規則とに基づいて前記状態の遷移を制御し、選択された状態に基づいて前記光源を駆動する光源駆動手段と、前記複数のパルス列波形の照射レベルの少なくとも一つに対応する状態のうちの少なくとも一つは複数の照射レベルに対応し、そのうちの一つを照射レベル選択情報に従って選択し、前記状態に対応する照射レベルを前記選択した照射レベルに変更する照射レベル選択手段とを設けたことを特徴とする光情報記録装置。

【請求項4】 光源を情報記録媒体に記録する二値化信

号に対応する多値の照射レベルに基づく複数のパルス列波形で発光させ、該発光させた光を前記情報記録媒体に照射して前記二値化信号に対応する記録マークを形成する光情報記録装置において、前記複数のパルス列波形の各パルス幅を示すタイミング情報と該タイミング情報の繰返し数を示すパルス数情報とをそれぞれ少なくとも一つ以上記憶する駆動波形生成情報保持手段と、前記二値化信号の示す記録マーク長あるいは該記録マーク長の前後にスペース長を加えた組み合わせに応じて前記各タイミング情報毎に一つを選択する情報選択手段と、該情報選択手段によって選択されたタイミング情報及び前記パルス数情報とに基づいて前記照射レベルの変化タイミングを示す変調信号を生成する変調信号生成手段と、該変調信号生成手段によって生成した変調信号と前記照射レベルに対応する状態の遷移を指示する状態遷移信号と予め設定された遷移規則とに基づいて前記状態の遷移を制御し、選択された状態に基づいて前記光源を駆動する光源駆動手段と、前記複数のパルス列波形の照射レベルの少なくとも一つに対応する状態のうちの少なくとも一つは複数の照射レベルに対応し、記録マーク長あるいは該記録マーク長の前後にスペース長を加えた組み合わせに応じて生成される照射レベル選択情報に従ってそのうちの一つを選択し、前記状態に対応する照射レベルを前記選択した照射レベルに変更する照射レベル選択手段とを設けたことを特徴とする光情報記録装置。

【請求項5】 請求項2又は3記載の光情報記録装置において、前記情報選択手段は、記録マーク長が基準記録クロックに対して奇数か偶数か、あるいは特定マーク長を除いて奇数か偶数かによって前記タイミング情報の選択を行う手段であることを特徴とする光情報記録装置。

【請求項6】 請求項4記載の光情報記録装置において、記録マーク長が基準記録クロックに対して奇数か偶数か、あるいは特定マーク長を除いて奇数か偶数かによって前記情報選択手段による前記タイミング情報の選択及び前記照射レベル選択情報の生成を行うようにしたことを特徴とする光情報記録装置。

【請求項7】 請求項2乃至6のいずれか一項に記載の光情報記録装置において、前記タイミング情報及び前記パルス数情報を記録線速度に応じて変更するようにしたことを特徴とする光情報記録装置。

【請求項8】 請求項3又は4記載の光情報記録装置において、前記照射レベル選択手段によって照射レベルの変更を行う状態が、前記パルス列波形の先頭パルス照射レベルに対応した状態であることを特徴とする光情報記録装置。

【請求項9】 請求項3又は4記載の光情報記録装置において、前記照射レベル選択手段によって照射レベルの変更を行う状態が、前記パルス列波形の最終パルス照射レベルに対応した状態であることを特徴とする光情報記録装置。

【請求項10】 請求項3又は4記載の光情報記録装置において、前記照射レベル選択手段によって照射レベルの変更を行う状態が、前記パルス列波形のイレース開始先頭パルス照射レベルに対応した状態であることを特徴とする光情報記録装置。

【請求項11】 請求項3又は4記載の光情報記録装置において、前記照射レベル選択手段によって照射レベルの変更を行う状態を、前記状態遷移信号あるいは前記遷移規則の変更によって変更するようにしたことを特徴とする光情報記録装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、CD-Rドライブ装置、CD-RWドライブ装置、DVD-Rドライブ装置、DVD-RWドライブ装置及びDVD-RAMドライブ装置などの記録可能な情報記録媒体に対する情報の記録を行う光情報記録装置に関する。

【0002】

【従来の技術】従来より記録可能な光ディスク（情報記録媒体）に対して光源から照射するレーザー光の光変調によって情報の記録を行う光ディスク装置においては、1ビームオーバーライト技術や、高密度化のための記録マーク形状制御のために光変調波形をマルチパルス化、多値レベル化（例えば、図4の（c）の光変調波形を参照）して制御する技術が必須になっており、それとともに光源駆動部（以下、「LDドライバ」とも称する）においては複数の電流をスイッチングする必要がある、その結果入力される信号線が増加する。

【0003】また、光ディスクに対する高速記録及び高密度記録のため、今後さらにデータの転送レートを増大することと、パルス分割幅をより細分化することと、さらにパワーのレベル数を増加することが要求されている。さらに、上記光源を搭載したピックアップは光ディスクの半径方向に可動（この動作を「シーク動作」と呼ぶ）させるため、上記ピックアップと信号処理部等を搭載している回路基板とは可撓性回路（Flexible Print Circuit：FPC）基板と呼ばれる曲げの可能な基板で接続するようにするのが一般的であり、LDドライバはピックアップに搭載された光源（LD）の近傍に配置し、上記信号制御部からLDドライバまでは上記FPC基板を用いて配線している。

【0004】しかし、光変調制御信号を供給するFPC基板はある程度の長さとなることは避けられないため、光変調制御信号波形の歪み、遅延（特に複数の制御信号間の遅延差（スキュー））等によるLD駆動電流のスイッチタイミングのずれが生じ、スイッチが同時に切り換わる時点で波形に乱れが生じ、光源を所望の光波形でレーザー発光させることができなくなる（図13参照）。そのため、光ディスク上に形成されるマーク形状やマークの位置の精度が損なわれ、その結果としてデータエラー

の原因になる。さらに、FPC基板からの不要輻射の問題が発生し、ノイズ発生の原因ともなる。

【0005】このような問題を解決するものとして、複数の電流源の電流をスイッチ手段を介して光源（LD）に供給するLD駆動手段と、光ディスク（情報記録媒体）に記録する2値化記録信号に対応してLDを駆動する駆動波形（光変調波形）を復元し、上記スイッチ手段を制御する駆動波形復元手段とを同一のレーザー駆動集積回路に備えた光源駆動装置（例えば、特開平11-283249号公報参照）が提案されている。

【0006】

【発明が解決しようとする課題】上述したような従来の光源駆動装置は、今後さらに情報記録の高速化と光ディスクに対する高密度化記録とが求められると、上記駆動波形復元手段（光変調制御信号生成部）のより高速動作及びレーザー駆動集積回路の高集積化が求められるために微細なCMOSプロセスが好適となる。一方、上記LD駆動部には、1～数V程度の動作電圧を持つLDが接続されるため、高耐圧プロセス（例えば5Vや3.3Vなど）が要求される。しかしながら、通常、微細なCMOSプロセスでは高耐圧にすることは困難（例えば、0.18 μ m CMOSプロセスでは1.8V程度の耐圧しかない）であるため、高速化の実現が困難であったり、あるいは大幅なコストアップや、消費電力の増大や、集積回路サイズの増大などの問題が生じる。

【0007】さらには、情報記録媒体によってはより複雑な光変調波形が要求される場合がある。例えば、高速化記録を行う際、情報記録媒体における照射ビームの通過時間が短くなるため、情報記録媒体に照射されるエネルギー量が低下して記録マーク形成に必要な熱量が不足する。正確な記録を行うには非常にパルス幅の狭いパルス列で記録を行えばよいが、そのためには高いレーザーパワーが必要になる。そこで、マルチパルス列の周波数を下げて低レーザーパワーで記録する方法が提案されている。

【0008】逆に、高速記録用に記録感度を上げた情報記録媒体に対して低速記録を行うと、熱量が過剰になって正確な記録マークが形成できなくなる。そこで、マルチパルス列の周波数を上げて記録する方法が提案されている。このように、多種多様な情報記録媒体に対してそれぞれの記録方法が提案されているが、そのいずれも同一の回路で対応できるものではなく、多くの種類の情報記録媒体に対応させるためにマルチパルス周波数の変更や多値レベル化などの光変調波形の多様性が要求されている。

【0009】この発明は上記の課題を解決するためになされたものであり、光変調制御信号波形の歪みやスキュー等による光変調波形の所望値からのずれを抑制し、情報記録の高速化と情報記録媒体への高密度化記録などの要求に対しても、コストと性能などを犠牲にすることな

く実現できるようにすることを目的とする。

【0010】

【課題を解決するための手段】この発明は上記の目的を達成するため、次の(1)～(11)の各光情報記録装置を提供する。

(1) 光源を情報記録媒体に記録する二値化信号に対応する多値の照射レベルに基づく複数のパルス列波形で発光させ、その発光させた光を上記情報記録媒体に照射して上記二値化信号に対応する記録マークを形成する光情報記録装置において、上記パルス列波形の周波数及びデューティを任意に設定するようにした光情報記録装置。

【0011】(2) 光源を情報記録媒体に記録する二値化信号に対応する多値の照射レベルに基づく複数のパルス列波形で発光させ、その発光させた光を上記情報記録媒体に照射して上記二値化信号に対応する記録マークを形成する光情報記録装置において、上記複数のパルス列波形の各パルス幅を示すタイミング情報とそのタイミング情報の繰返し数を示すパルス数情報とをそれぞれ少なくとも一つ以上記憶する駆動波形生成情報保持手段と、上記二値化信号に基づいて上記各タイミング情報毎に一つを選択する情報選択手段と、その情報選択手段によって選択したタイミング情報及び上記パルス数情報とに基づいて上記照射レベルの変化タイミングを示す変調信号を生成する変調信号生成手段と、その変調信号生成手段によって生成した変調信号と上記照射レベルに対応する状態の遷移を指示する状態遷移信号と予め設定された遷移規則とに基づいて上記状態の遷移を制御し、選択された状態に基づいて上記光源を駆動する光源駆動手段を設けた光情報記録装置。

【0012】(3) 光源を情報記録媒体に記録する二値化信号に対応する多値の照射レベルに基づく複数のパルス列波形で発光させ、その発光させた光を上記情報記録媒体に照射して上記二値化信号に対応する記録マークを形成する光情報記録装置において、上記複数のパルス列波形の各パルス幅を示すタイミング情報とそのタイミング情報の繰返し数を示すパルス数情報とをそれぞれ少なくとも一つ以上記憶する駆動波形生成情報保持手段と、上記二値化信号に基づいて上記各タイミング情報毎にその一つを選択する情報選択手段と、その情報選択手段によって選択したタイミング情報及び上記パルス数情報とに基づいて上記照射レベルの変化タイミングを示す変調信号を生成する変調信号生成手段と、その変調信号生成手段によって生成した変調信号と上記照射レベルに対応する状態の遷移を指示する状態遷移信号と予め設定された遷移規則とに基づいて上記状態の遷移を制御し、選択された状態に基づいて上記光源を駆動する光源駆動手段と、上記複数のパルス列波形の照射レベルの少なくとも一つに対応する状態のうちの少なくとも一つは複数の照射レベルに対応し、そのうちの一つを照射レベル選択情報に従って選択し、上記状態に対応する照射レベルを上

記選択した照射レベルに変更する照射レベル選択手段を設けた光情報記録装置。

【0013】(4) 光源を情報記録媒体に記録する二値化信号に対応する多値の照射レベルに基づく複数のパルス列波形で発光させ、その発光させた光を上記情報記録媒体に照射して上記二値化信号に対応する記録マークを形成する光情報記録装置において、上記複数のパルス列波形の各パルス幅を示すタイミング情報とそのタイミング情報の繰返し数を示すパルス数情報とをそれぞれ少なくとも一つ以上記憶する駆動波形生成情報保持手段と、上記二値化信号の示す記録マーク長あるいはその記録マーク長の前後にスペース長を加えた組み合わせに応じて上記各タイミング情報毎に一つを選択する情報選択手段と、その情報選択手段によって選択されたタイミング情報及び上記パルス数情報とに基づいて上記照射レベルの変化タイミングを示す変調信号を生成する変調信号生成手段と、その変調信号生成手段によって生成した変調信号と上記照射レベルに対応する状態の遷移を指示する状態遷移信号と予め設定された遷移規則とに基づいて上記状態の遷移を制御し、選択された状態に基づいて上記光源を駆動する光源駆動手段と、上記複数のパルス列波形の照射レベルの少なくとも一つに対応する状態のうちの少なくとも一つは複数の照射レベルに対応し、記録マーク長あるいはその記録マーク長の前後にスペース長を加えた組み合わせに応じて生成される照射レベル選択情報に従ってそのうちの一つを選択し、上記状態に対応する照射レベルを上記選択した照射レベルに変更する照射レベル選択手段を設けた光情報記録装置。

【0014】(5) 上記(2)又は(3)の光情報記録装置において、上記情報選択手段は、記録マーク長が基準記録クロックに対して奇数か偶数か、あるいは特定マーク長を除いて奇数か偶数かによって前記タイミング情報の選択を行う手段である光情報記録装置。

(6) 上記(4)の光情報記録装置において、記録マーク長が基準記録クロックに対して奇数か偶数か、あるいは特定マーク長を除いて奇数か偶数かによって上記情報選択手段による上記タイミング情報の選択及び上記照射レベル選択情報の生成を行うようにした光情報記録装置。

(7) 上記(2)乃至(6)のいずれか一項に記載の光情報記録装置において、上記タイミング情報及び上記パルス数情報を記録線速度に応じて変更するようにした光情報記録装置。

【0015】(8) 上記(3)又は(4)の光情報記録装置において、上記照射レベル選択手段によって照射レベルの変更を行う状態が、上記パルス列波形の先頭パルス照射レベルに対応した状態である光情報記録装置。

(9) 上記(3)又は(4)の光情報記録装置において、上記照射レベル選択手段によって照射レベルの変更を行う状態が、上記パルス列波形の最終パルス照射レベ

ルに対応した状態である光情報記録装置。

【10】上記(3)又は(4)の光情報記録装置において、上記照射レベル選択手段によって照射レベルの変更を行う状態が、上記パルス列波形のイレース開始先頭パルス照射レベルに対応した状態である光情報記録装置。

【11】上記(3)又は(4)の光情報記録装置において、上記照射レベル選択手段によって照射レベルの変更を行う状態を、上記状態遷移信号あるいは上記遷移規則の変更によって変更する光情報記録装置。

【0016】この発明の請求項1記載の光情報記録装置によれば、上記のように構成することにより、パルス列波形の周波数及びデューティを任意に設定することが可能になるので、多種多様な情報記録媒体あるいは記録線速度に対する記録に対応することができる。また、この発明の請求項2記載の光情報記録装置によれば、上記のように構成することにより、光変調波形の変化タイミングが変調信号のみによって決まり、供給される信号間にスキューがあっても光波形には影響を及ぼさず、正確な発光波形が得られ、正確な記録マークが形成でき、さらには、パルス列周波数も二値化信号に応じて任意に設定できるので、多種多様な情報記録媒体あるいは記録線速度による記録に対応することができる。さらに、この発明の請求項3記載の光情報記録装置によれば、上記のように構成することにより、上記請求項2と同様の効果に加え、所定のパルスの照射レベルが選択できるので、より高精度な記録マーク形成制御が行える。

【0017】また、この発明の請求項4記載の光情報記録装置によれば、上記のように構成することにより、上記請求項3と同様の効果に加え、記録マーク長あるいはその記録マーク長の前後にスペース長を考慮したさらに高精度な記録マーク形成制御が行える。さらに、この発明の請求項5記載の光情報記録装置によれば、上記のように構成することにより、上記請求項2又は3と同様の効果に加え、一部のタイミング情報を共通化することができ、駆動波形生成情報保持手段のメモリ容量の低減が図れる。また、この発明の請求項6記載の光情報記録装置によれば、上記のように構成することにより、一部のタイミング情報及び照射レベル選択情報は共通化でき、駆動波形生成情報保持手段のメモリ容量の低減が図れる。さらに、この発明の請求項7記載の光情報記録装置によれば、上記のように構成することにより、当該記録線速度に最適な光波形を生成することができる。

【0018】また、この発明の請求項8記載の光情報記録装置によれば、上記のように構成することにより、簡便な構成でより高精度な記録マーク形成制御が行える。さらに、この発明の請求項9記載の光情報記録装置によれば、上記のように構成することにより、同じく簡便な構成でより高精度な記録マーク形成制御が行える。また、この発明の請求項10記載の光情報記録装置によれば、上記のように構成することにより、同じく簡便な構

成でより高精度な記録マーク形成制御が行える。さらに、この発明の請求項11記載の光情報記録装置によれば、上記のように構成することにより、情報記録媒体や記録線速度などに応じて記録マーク形成により影響度の大きいパルスを多値レベル化することができ、高精度な記録マーク形成制御が行える。

【0019】

【発明の実施の形態】以下、この発明の実施形態を図面に基づいて具体的に説明する。まず、本発明の光情報記録装置の一実施形態である情報記録再生装置の全体構成及び動作概要を図面に基づいて説明する。図1は、本発明の光情報記録装置の一実施形態である情報記録再生装置の全体構成を示すブロック図である。図1において、情報記録媒体100は、再生すべき情報が予め記録されたCD-ROM、DVD-ROM等の光ディスク、または情報が未記録であってユーザが任意に新規の情報を記録可能なCD-R、CD-RW、DVD-R、DVD-RAM、MD、MOなどの光ディスクである。

【0020】ピックアップ101は、光源(例えば半導体レーザ(LD))102からの出射光を情報記録媒体100に照射して情報の記録を行ったり、情報記録媒体100からの反射光を受光して受光信号に変換するものであり、光源102やその光源102を駆動する光源駆動部(公知であり、図示を省略)、反射光を受光して受光信号に変換する受光部103などが配置されている。また、ピックアップ101には光源102の出射光の一部をモニタするモニタ受光部(同じく公知であり、図示を省略)も配置されており、その出力であるモニタ信号に基づいて光源102の出射光量変動を制御する。

【0021】さらに、情報記録媒体100の照射光に対する傾き(「チルト」と呼ぶ)を検知するためのチルト検出受光部(同じく公知であり、図示を省略)などが配置される場合もある。さらにまた、異なる媒体フォーマットが定められた複数種類の情報記録媒体に対応する情報記録再生装置の場合(例えば、DVD及びCD両対応装置など)、それぞれの情報記録媒体に好適な波長の光源を持つ場合があり、それぞれの光源出射時に情報記録媒体からの反射光を受光する受光部やモニタ受光部を別個に備える場合もある。

【0022】信号処理部104は、ピックアップ101に配置された各種受光部からの受光信号が入力され、様々な信号処理が行われる。例えば、受光信号から情報を再生したり、情報記録媒体100の回転に伴う面振れやトラックの半径方向の振れなどの変動に対して常に所定の誤差内で光を照射するように制御(フォーカスサーボ制御及びトラックサーボ制御)するために受光信号からサーボエラー信号を生成し、そのサーボエラー信号に従ってピックアップ101を制御する。また、記録すべき情報を所定の規則に従って変調し、記録信号として光源102(または光源駆動部)に出力したり、光源102

の出力光量制御を行う。

【0023】回転駆動部105は、情報記録媒体100を回転させるものであり、信号処理部104によって回転速度が制御（スピンドルサーボ制御）される。CLV回転制御を行う際には、より精度よく回転制御をするために情報記録媒体100に埋め込まれた回転制御信号をピックアップ101を介して検出し、その回転制御信号に基づいて回転制御を行う。回転制御信号には、例えば再生情報記録媒体などでは記録された情報に所定間隔で配置された同期信号や、記録可能な情報記録媒体では記録トラックが所定の周波数で蛇行したウォブルなどを用いる。

【0024】コントローラ106は、ホストコンピュータとの記録再生情報の受け渡しやコマンド通信を行って装置全体の制御を行う。なお、ピックアップ101は情報記録媒体半径方向に可動（この動作を「シーク動作」と呼ぶ）させるため、ピックアップ101と信号処理部104等が搭載されている回路基板とはフレキシブルプリント回路（Flexible Print Circuit: FPC）基板（またはケーブル）と呼ばれる基板（またはケーブル）で接続されるのが一般であり、光源102や受光部103等のピックアップ101に搭載される部品はこのFPC基板に実装されることも多い。

【0025】次に、上記情報記録再生装置の信号処理部104の内部構成及び動作概略について説明する。図2は、図1に示した信号処理部104の内部構成を示すブロック図である。本実施形態の信号処理部104は、異なるフォーマットの情報記録媒体へ対応させるために上記光源（LD）102として二つの光源LD1とLD2を備えており、上記受光部103として受光部PD1～PD5を備えており、光源LD1とLD2の照射光の一部をそれぞれ受光部PD2及びPD5でモニタする。

【0026】受光部PD1では光源LD1の照射時に情報記録媒体からの反射光を受光し、受光部PD4では光源LD2の照射時に情報記録媒体からの反射光を受光する。受光部PD3はチルト量を検知するための受光部である。受光部PD1とPD3とPD4は、複数に分割された分割受光素子によって受光している。なお、ピックアップによっては光源LD1とLD2の出射光を同一の受光部でモニタする場合もある。同様に、情報記録媒体からの反射光を受光する受光部も同一とする場合もある。

【0027】受光信号処理部2は、受光部PD1とPD3とPD4の出力する各受光信号を入力し、各受光信号のオフセット調整及びゲイン調整などの処理を行う。サーボ信号演算処理部13は、受光信号処理部2から供給される各受光信号からサーボエラー信号の生成を行う。同時に、オフセット調整、ゲイン調整も行なって生成したサーボエラー信号をサーボプロセッサ14へ供給する。RF選択部4は、受光部PD1及び受光部PD4の出力

する受光信号を入力し、後段の回路に必要な信号を選択あるいは一部加減算などの演算を行って供給する。

【0028】ウォブル信号生成部6は、記録可能な情報記録媒体にプリフォーマットされたウォブルを検出するものである。ウォブル信号処理部15は、ウォブル信号生成部6の出力する信号から二値化ウォブル信号を抽出し、WCK生成部17及び回転制御部18へ供給する。また、情報記録媒体毎に所定の規則でウォブルに変調されたアドレス情報を復調し、コントローラ19へ供給する。

【0029】RF信号処理部／PLL部16は、RF信号処理部によってRF選択部4から入力された再生RF信号から二値化RF信号を生成し、再生している情報記録媒体の変調方式規則に則って復調を行う。またPLL部（PLL回路）によって二値化RF信号から再生クロックを抽出する。復調したデータはコントローラ19に供給する。また二値化RF信号に所定間隔で挿入された同期信号によって回転制御信号を抽出して回転制御部18へ供給する。回転制御部18は、ウォブル信号処理部15またはRF信号処理部／PLL部16から入力される信号から回転制御を行うためのスピンドルエラー信号を生成し、サーボプロセッサ14へ供給する。また、情報記録媒体を角速度一定（CAV）で回転させる場合は回転制御駆動部（公知であり、図示を省略）から出力されるディスク回転を示す信号（同じく公知であり、図示を省略）に基づいてスピンドルエラー信号を生成する。

【0030】サーボプロセッサ14は、コントローラ19からの指令に基づき、入力される各種サーボエラー信号からサーボ制御信号を生成し、サーボドライバ20へ出力する。サーボドライバ20は入力されるサーボ制御信号に基づいてサーボドライブ信号を生成する。各駆動部は供給されたサーボドライブ信号によってサーボ制御動作を行う。ここでは、フォーカス制御、トラック制御、シーク制御、スピンドル制御及びチルト制御である。

【0031】WCK生成部17は、ウォブル信号処理部15から供給された二値化ウォブル信号に基づいて記録クロック信号WCKを生成し、LD変調信号生成部10とコントローラ19の各部へ供給する。記録時にはその記録クロック信号WCKを基準にして記録データの生成などが行われる。記録時には、コントローラ19から記録クロック信号WCKに同期して記録データ信号WdataがLD変調信号生成部10へ供給される。その記録データ信号Wdataは記録すべき情報が所定の規則に従って変調されている。

【0032】LD変調信号生成部10は、WCK生成部17から入力される記録クロック信号WCK及びコントローラ19から入力される記録データ信号Wdataから光源LD1あるいは光源LD2を変調するためのLD変調信号を生成し、LD駆動部12へ供給する。LD制

御部9は、受光部PD2あるいは受光部PD5からのモニタ受光信号を入力し、そのモニタ受光信号に基づいて光源LD1と光源LD2の出射光量が所望の値になるようにLD駆動部12へ対してLD制御信号を供給する（いわゆるAPC（Automatic Power Control）制御を行う）。LD駆動部12は、LD制御部9から入力されるLD制御信号及びLD変調信号生成部10から入力されるLD変調信号に基づいて光源LD1あるいは光源LD2を電流駆動して発光させる。また、コントローラ19からは各部の制御信号が出力される。

【0033】次に、上記LD制御部9及びLD駆動部12の詳細な実施形態を説明する。図3は、図2に示したLD制御部9及びLD駆動部12を集積化したLD駆動集積回路1の構成図である。図4は、図3に示したLD駆動集積回路1の各部の出力信号の一例を示す波形図である。図3に示すLD駆動集積回路1は、駆動する光源LD1及び光源LD2の近傍に配置されており、ピックアップ101に搭載される。一方、LD駆動集積回路1にLD変調信号WSPを供給するLD変調信号生成部10は、他の信号処理部と共に回路基板に搭載され、両者を接続する信号線はFPC基板上を伝送される。

【0034】また、LD変調信号生成部10は、記録クロック信号WCKを基準にして記録データ信号Wdataから、図4に示すようなLD変調信号WSP(f)及びステート信号STEN(e-1)を生成する。図4では図示を簡便にするために信号WSP及びSTENの記録データWdataに対する遅延は無視して図示している（通常は生成回路の都合上所定クロック遅延する）。またこの時、LD変調信号WSPは所要の情報記録媒体に最適なパルス幅制御が行われているものとする。さらにはコマンド信号STCMDも生成している。

【0035】LD駆動集積回路1は、LD変調信号生成部10から供給されるステート信号STENとコマンド信号STCMDとからLD照射レベルや照射モードを示すモード制御信号SeqModeに変換するコマンドデコーダ（CMDDecoder）22と、同じくLD変調信号生成部10から供給されるLD変調信号WSPとステート信号STEN及びモード制御信号SeqModeに基づいてLD照射レベルの制御を行うシーケンサ（Sequencer）21と、シーケンサ21から供給される変調データDmodL、DmodH及び変調信号MODに基づいてLD変調電流Imodを生成する変調部（Data-Modulation）23を備えている。

【0036】また、光源の出射光の一部をモニタするモニタ受光部からのモニタ受光信号を入力してオフセット調整及びゲイン調整を行うPDアンプ部（PD-AMP）26と、PDアンプ部26から供給されるモニタ信号Imonがシーケンサ21から供給される目標レベル

信号Dtargetから生成される基準信号Itargetと一致するようにバイアス電流Iapcを制御するバイアス電流制御部（Bias-Control）27と、バイアス電流制御部27の出力するバイアス電流Ibiasと外部から供給されるバイアス電流Iextとを選択して電流Ibiasを出力するバイアス電流選択部（MUX）29と、モニタ信号Imonから駆動している光源LD（光源LD1または光源LD2）の微分量子効率 η を検出してその検出結果に応じてLD変調電流のスケールScaleを制御する微分量子効率制御部（ η -Control）28も備えている。

【0037】さらに、高周波重畳信号と高周波重畳時にバイアス電流に印加するオフセット電流Ihfmofsを生成する高周波変調部（HF-Modulation）30と、バイアス電流Ibiasと変調電流Imodを加算して高周波重畳オフセット電流Ihfmofsを減算する電流加算部24と、その電流加算部24から供給される電流を増幅して光源LD1あるいは光源LD2の駆動電流ILDを供給する電流駆動部25と、コントローラ19から（あるいはLD変調信号生成部10を介して）供給される制御コマンドを受けて各部へ制御信号を供給する制御部33を備えている。

【0038】また、図4に示す各部の信号波形は一例であり、ここで想定する情報記録媒体は相変化型記録媒体（例えばCD-RWやDVD-RWなどの光ディスク）とし、記録クロック信号WCK(a)及び記録データ信号Wdata(b)に基づき、図4の(c)のような光変調波形で光源LDを発光させて記録マーク（同図の(d)）を形成する。相変化型情報記録媒体は、一般には、ライトパワーPw、イレースパワーPe、ボトムパワーPbの三値のマルチパルスで記録マークが形成される。この時、記録パワーレベル及び各パルスのパルス幅・パルス間隔を精度よく制御することによって正確な記録がなされる。さらに、本実施形態では、図4の(c)において破線枠(i)と(ii)と(iii)で示すように、先頭パルスや最終パルスあるいは最終ボトムパルス（「クーリングパルス」と呼ぶ）のパワーを設定可能にしている。

【0039】通常、情報記録媒体あるいはその記録線速度によってはマークが形成されるとき、隣接のスペース長によって媒体上で熱的影響を受け、マークのエッジが隣接スペース長によってさまざまに変動する場合がある。これを避けるために、従来では隣接のスペース長を考慮して光変調波形の各パルス幅を変えている。本実施形態のように、加えて、隣接のスペース長を考慮してパワーを変えられるようにすれば、媒体に与える熱量としては隣接スペース長に応じてパルス幅補正をするのと等価になるので、実質的にパルス幅制御分解能の細分化を行っているのと同様になり、高速記録化対応に適したものとなる。

【0040】ここで、各部詳細説明の前に、駆動・制御対象となる光源LDについて説明する。図8は、駆動電流-光出力特性の一例を示す線図である。通常、光源LDの駆動電流ILDに対する光出力Poは次の数1に示す式に基づいて近似することができる。ここで、 η ：微分量子効率、 I_{th} ：閾値電流である。

【0041】

$$【数1】 P_o = \eta \cdot (I_{LD} - I_{th})$$

【0042】所望の光変調波形P（図8の（b））を得るためには、LD駆動電流ILDをバイアス電流Ibと変調電流Imの和（ $I_b + I_m$ ）とした場合、バイアス電流Ibは閾値電流Ithにほぼ等しく、変調電流Imは同図の（c）のような $P = \eta \cdot I_m$ になる電流を駆動すればよい。しかし、一般に、この閾値電流Ithと、微分量子効率 η は個体間のばらつきのみならず、温度変化によっても変動するため、所望の光変調波形Pを常時得るためには、閾値電流Ith及び微分量子効率 η の変動に伴ってバイアス電流Ibと変調電流Imを制御することが望ましい。例えば、図8の（ii）のように閾値電流が I_{th}' に、微分量子効率が η' に変動した場合、所望の光変調波形Pを得るためには、バイアス電流 $I_{b'}$ を I_{th}' に、変調電流 $I_{m'}$ を同図の（d）のように $P = \eta' \cdot I_{m'}$ となるように制御すればよい。

【0043】図3に示したLD駆動集積回路1では、主にバイアス電流制御部27がバイアス電流の制御機能を、微分量子効率制御部28が変調電流の制御機能をそれぞれ果たす。

【0044】以下、図3に示したLD駆動集積回路1の各部の動作と詳細構成について説明する。

〔シーケンサ〕シーケンサ21は、LD変調信号WSPとステート信号STENに基づいて光源のLD照射レベルの制御を行う。図5は図3に示したシーケンサ21の状態遷移図である。各ステートは光源LDの照射レベルに対応し、SMa、SMbの各ステートマシンは各々独立に動作する。そして、SMa、SMbの各ステートマシンのそれぞれ現在のステートstate0、state1に従って変調データDmodLとDmodHを出力する。

【0045】すなわち、予め各ステートに対応した変調データを設定しておき、それぞれのステートマシンの現在のステートに対応した変調データを選択出力する。また、記録時にはLD変調信号WSPが、再生時にはロー（Low）の信号が変調信号MODとして出力される。なお、図3においては変調信号MODはマルチプレクサMUX65を経由して変調部23へ供給されているが、ここでMUX65は変調信号MODを選択出力しているものとする。

【0046】次段の変調部23では、この変調信号MODがロー（Low）の時は変調データDmodLが、ハイ（High）の時には変調データDmodHが選択さ

れるので、SMa内の各ステートはLD変調信号WSPがロー（Low）の時の照射レベルに、SMb内の各ステートはWSPがハイ（High）の時の照射レベルに対応する。例えば、state0=SPbで変調信号MOD=ロー（Low）の時、光源LDの照射レベルはボトムパワーPbとなり、state1=SPmpで変調信号MOD=ハイ（High）の時、光源LDの照射レベルはライトパワーPwとなる。

【0047】なお、ステートマシンSMaはLD変調信号WSPの立ち上がりエッジで状態遷移が行われ、ステートマシンSMbはLD変調信号WSPの立ち下がりエッジで状態遷移が行われるようにしている。すなわち、それぞれの出力する変調データが出力選択されていない時に状態の遷移を（変調データの変化を）するようにしているので、変調データ変化時でも光源LDの照射レベルの変動は生じない。

【0048】また、先頭パルスPtpや最終パルスPlpあるいは最終ボトムパルスパワーPclに対応する各変調データは記録データパターンなどに応じて動的に変更可能としている。すなわち、予め設定しておいた複数個の変調データ（例えばPtpを4値、Ptp0～3）をコマンドデコード22から供給されるパワー選択信号PwrSelによって選択する。その選択するパワーレベルはコマンド信号STCMDによって指示され、コマンドデコード22によってパワー選択信号PwrSelに変換される。

【0049】次に、各ステートマシンの遷移条件を説明する。図4の（g-1）と（g-2）は状態遷移の一例であり、LD変調信号WSP（同図の（f））の変化時刻を図のようにt0～t27とする。また、ステート信号STEN2はステート信号STENをLD変調信号WSPの立下りで取り直したものであり、ステートマシンSMaではこれに従い状態遷移を行う。これにより、ステートマシンSMaでの状態遷移の基準となるWSPの立上りに対してステート信号STEN2のデータ確定時間が十分確保できるので安定した動作が行える。

【0050】*ステートマシンSMa

特に断らない限り、LD変調信号WSPの立上りに同期して遷移するものとする。

〔状態SPr〕初期状態。再生時（ライト信号R/W=0（Read）の時）はここに滞留する。記録開始（R/W立ち上り）で状態Peに遷移する。この遷移はLD変調信号WSPに同期しないようにしてもよい。

〔状態SPe〕ステート信号STEN2=ハイ（High）で次の状態に遷移する。通常は状態SPbに遷移するが（例えば、時刻t3）、後述する特殊条件（A）により状態SPclに遷移することもある（例えば、時刻t25）。また、記録終了（R/W立下り）で状態SPrに遷移する。

【0051】〔状態SPb〕STEN2=ロー（Lo

w)で次の状態に遷移する。図4の波形例では状態SPc1に遷移する(例えば、時刻t7)。また、モード制御信号SeqModeによっては状態SPeに遷移する。

{状態SPc1} 状態Peに遷移する(例えば、時刻t9)。また、状態SPr(再生モード)への復帰は、R/W=Readになった後、最初に状態SPeに戻った後移行するようにしてもよいし、R/W=Readにより強制的に移行するようにしてもよい。

【0052】*ステートマシンSMb

特に断りない限り、LD変調信号WSPの立下りに同期して遷移するものとする。

{状態SPe} 初期状態。ステート信号STEN=ハイ(High)で状態SPtpに遷移する(例えば、時刻t2)。

{状態SPtp} ステート信号STEN=ハイ(High)の時、状態SPmpに遷移する(時刻t4)。また、ステート信号STEN=ロー(Low)の時、状態SPlpに遷移する(時刻t18)。後述する特殊条件(A)によって状態SPeに遷移することもある。

【0053】{状態SPmp} ステート信号STEN=ロー(Low)の時、状態SPlpに遷移する(時刻t6)。ステート信号STEN=ハイ(High)ならばここに滞留。

{状態SPlp} 状態SPeに遷移する(時刻t8)。また、本実施形態ではコマンドデコーダ22を介してステートマシンの遷移モードを動的に変更可能としている。例えば、図4において一点鎖線棒(A)で囲んだ波形(Ptp→Pc1)を生成する場合は、時刻t(A)の時点でモードを指定し、上述したステートマシンを特殊条件(A)で遷移させればよい。また、各々のステートマシンの初期化は制御部33を介してコマンド発行により行ってもよい。これは例えば強制的に初期状態に戻したい場合などに有効である。

【0054】[コマンドデコーダ] コマンドデコーダ22は、ステート信号STENとコマンド信号STCMDとから光源LDの照射レベルや照射モードを指定するモード制御信号SeqModeに変換する。そのモード制御信号SeqModeには、上述したパワー選択信号PwrSelやステートマシンの遷移モード信号が含まれる。コマンドデコーダ22は、ステート信号STENをクロックとし、コマンド信号STCMDをデータとしてステート信号STENの両エッジでデータの取り込みを行う。

【0055】本実施形態では、コマンド信号STCMDを3ビット(Bit)とし、ステート信号STENの立上りエッジで最終パルスパワー選択信号PEP(2bit)とCLパルス遷移モード信号CLMode(1bit)を取り込み、ステート信号STENの立下りエッジで先頭パルスパワー選択信号PTP(2bit)を取り

込み、それぞれシーケンサ21へ供給する。最終パルスパワー選択信号PEPは最終パルスパワーPlpとクリングパルスパワーPc1を選択し、CLパルス遷移モード信号CLModeは前述の特殊遷移条件(A)のモードを指定する。また、先頭パルスパワー選択信号PTPは先頭パルスパワーPtpを選択する。これらのモード制御信号SeqModeは本実施形態の振り分けだけでなく、所望の光波形に適合するように定めればよい。

【0056】[変調部] 変調部23は、シーケンサ21から供給される変調データDmodLとDmodH及び変調信号MODに基づいてLD変調電流Imodを生成する。PbDAC40は変調データDmodLに基づいて電流を供給する電流出力DAC(D/Aコンバータ)であり、PtpDAC41は変調データDmodHに基づいて電流を供給する電流出力DACである。スイッチ42はMUX65から供給される選択信号(記録時には変調信号MODつまりLD変調信号WSPが供給される)に従って、PbDAC40あるいはPtpDAC41の出力電流を選択してLD変調電流Imodを出力する。ここで、選択信号つまり変調信号MODがハイ(High)ならばPtpDAC41の出力を、ロー(Low)ならばPbDAC40の出力を選択する。

【0057】また、PbDAC40とPtpDAC41のフルスケールIsclはスケールDAC(Scale DAC)43から供給され、それは微分量子効率制御部28から供給されるスケール信号Scaleに従って設定される。さらに、スケールDAC43のフルスケールIfullはVREFから供給され、使用する光源LDの微分量子効率から定めればよい。フルスケールIsclの算出・設定方法については後述する。したがって、PbDAC40とPtpDAC41のそれぞれの出力電流I0とI1は次の数2と数3に示す式に基づく演算によって得られる。ここでは、PbDAC40、PtpDAC41及びスケールDAC43は8ビット(bit)DACとしている。

【0058】

【数2】 $I_0 = (DmodL / 255) * (Scale / 255) * Ifull$

【0059】

【数3】 $I_1 = (DmodH / 255) * (Scale / 255) * Ifull$

【0060】また、前述したように変調データDmodL及びDmodHの変化タイミングはスイッチ42で選択されていない時となっているので、PbDAC40とPtpDAC41の応答速度が十分高速ならばPbDAC40とPtpDAC41のそれぞれの出力電流I0とI1の変化もスイッチ42で選択されていない間に行われ、変調電流Imodの変化は変調信号MODの変化タイミングのみによって決まる。

【0061】図6は、図3に示した変調部23の他の構

成例を示すブロック図である。シーケンサ21からはステートマシンSMaとSMbの各ステートに対応する変調データ(PrData~PlpData)が供給され、PrDAC80a、PeDAC80b、PbDAC80c、PcIDAC80dと、PeDAC81a、PtpDAC81b、PmpDAC81c、PlpDAC81dとはそれらの変調データに基づいてそれぞれ電流I0a~I0dと、I1a~I1dの各電流を出力する。スイッチ82はステートマシンSMaの現在のステート示す信号state0に従って電流I0a~I0dのうちの1つを選択出力する。同様に、スイッチ83はステートマシンSMbの現在のステート示す信号state1に従って電流I1a~I1dのうちの1つを選択出力する。

【0062】スイッチ82は、図3と同様に、MUX65から供給される選択信号に従ってスイッチ82とスイッチ83からそれぞれ供給される電流I0又は電流I1を選択してLD変調電流Imodを出力する。また、スケールDAC43も図3と同様にPrDAC80a、PeDAC80b、PbDAC80c、PcIDAC80dと、PeDAC81a、PtpDAC81b、PmpDAC81c、PlpDAC81dのフルスケールを決める。この実施形態によれば、スイッチ84で選択されていない時にスイッチ82あるいはスイッチ83に切り換えが行われるので、出力電流I0とI1の変化もスイッチ84で選択されていない間に行われ、図3の実施形態と同様に、変調電流Imodの変化は変調信号MODの変化タイミングのみによって決まる。

【0063】また、出力電流I0とI1の変化速度はスイッチ82と83の切り換え速度によって決まり、PrDAC80a、PeDAC80b、PbDAC80c、PcIDAC80dと、PeDAC81a、PtpDAC81b、PmpDAC81c、PlpDAC81dの応答速度は高速でなくともよい。したがって、高速DACの実現が困難な場合などに有効である。また、出力電流I0bとI1aは同じ電流を出力するのでこれらのDACを共通化してもよい。さらに、PrDAC80aは再生時に、PeDAC80b、PbDAC80c、PcIDAC80dは記録時に使用するものであるので、PrDAC80aをPeDAC80b、PbDAC80c、PcIDAC80dのうちの1つと共通化してもよい。

【0064】図11は、図3に示した変調部23のさらに他の構成例を示すブロック図である。図12は図11の各部の出力信号を示す波形図である。図11に示すように、シーケンサ21からは変調データDmodLとDmodHに加え、加算データexDataLとexDataHが供給される。これらの加算データもステートマシンSMaとSMbに従って出力される。Pb+DAC90、PbDAC91、Pt+DAC92、PtDAC

93はそれらのデータに基づいて電流を出力する。加算器94と95はそれぞれ、Pb+DAC90とPbDAC91の出力電流の加算、Pt+DAC92とPtDAC93の出力電流の加算を行い、それぞれ電流I0とI1を出力する。

【0065】スイッチ96は、変調信号MODに従って出力電流I0とI1を選択してLD変調電流Imodを出力する。また、スケールDAC43は図3と同様にPb+DAC90、PbDAC91、Pt+DAC92、PtDAC93のフルスケールを決める。Pb+DAC90とPt+DAC92は加算分を出力するだけなのでダイナミックレンジを大きくとる必要はなく、そのフルスケールをPbDAC91とPtDAC93のフルスケールより小さくし、加算データビット数を低減してもよい。このようにすればデータを保持しておくレジスタのビット数を低減できる。

【0066】[電流駆動部]電流駆動部25は、電流加算部24から供給される電流を増幅して光源LD1あるいは光源LD2の駆動電流ILDを供給する。スイッチ44は選択信号IoutSelに従って、入力電流を電流アンプ45あるいは46へ供給する。電流アンプ45及び46は、スイッチ44から供給される電流を所定の増幅率Aiで増幅して、光源LD1あるいは光源LD2に駆動電流ILDを供給する。したがって、この時、LD駆動電流ILDは次の数4に示す式に基づく演算によって得られる。

【0067】

【数4】 $ILD = A_i * (I_{bias} + I_{mod} - I_{hf m o f s})$

【0068】但し、Ihf m o f sは高周波重畳を行わない時は0となる。また、オフセット電流Ihf m o f sを高周波重畳時にオフ、高周波重畳を行わない時に加算するようにしてもよい。また、 $I_b = A_i * (I_{bias} - I_{hf m o f s})$ 、 $I_m = A_i * I_{mod}$ とし、図8に示したように、Ibが閾値電流Ithと等しくなるように制御されれば、Imすなわち変調電流Imodは光波形に比例した波形になる。なお、本実施形態では光源LD1とLD2を同時に照射することは想定していない。

【0069】以上からわかるように、光源LDの光変調波形のパルス幅は変調信号WSPのみによって決まり、LD変調信号生成部10の出力の二つの信号間(WSP, STEN)にスキューがあっても光波形には影響を及ぼさず、正確な記録マークが形成できる。したがって、LD変調信号生成部10はLD駆動部12とは異なる集積回路で構成してもよく、それぞれ要望される回路特性にあった半導体プロセスを選択できるようになり、コスト・性能に見合った装置を構成することができる。すなわち、LD変調信号生成部では高速動作及び高集積化が求められるために微細なCMOSプロセスが好適で

ある。

【0070】一方、LDドライバには、1～数V程度の動作電圧を持つLDが接続されるため、高耐圧プロセス（例えば、5Vや3.3Vなど）が要求される。通常、微細なCMOSプロセスでは高耐圧にすることは困難である（例えば、0.18μm CMOSプロセスでは1.8V程度の耐圧しかない）が、本実施形態によれば、それぞれを好適なプロセスで構成できるようになる。

【0071】[PDアンプ部] PDアンプ部26は、光源の出射光の一部をモニタするモニタ受光部からのモニタ受光信号を入力してオフセット調整及びゲイン調整を行う。モニタ受光部には、受光素子単体（PD: Photo Detectorなど）でモニタ受光信号が電流として出力されるタイプのものと、電流電圧変換器を内蔵し、モニタ受光信号が電圧として出力されるタイプのものがある。本実施形態ではどちらのタイプでも対応可能としており、MUX48で選択する。つまり、電流出力型の場合は入力されるモニタ受光信号が電流電圧変換器（I/V）47で電圧に変換したものを、電圧出力型の場合は電流電圧変換器47を経由しない信号を選択する。

【0072】加算器50はモニタ受光信号のオフセット調整をするものであり、オフセットDAC（Offset DAC）49から供給されるオフセット電圧を加減算する。ゲイン切換えアンプ（X1/X4/X8/X16 AMP）51は、オフセット調整したモニタ受光信号をゲイン切換え信号PDGainに従ってゲインを切り換え（例えば、1/4/8/16倍の4段階切換え）でゲイン調整を行う。一般に再生光量と記録光量とは大きく異なるので、記録/再生時でゲインを切り換えるようにするとよい。PDの受光電流Ipdは、光源LDの出射光Poに対する光利用効率をα、受光部PDの受光感度をSとすると、次の数5に示す式に基づく演算によって得られる。

【0073】

$$\text{【数5】 } I_{pd} = \alpha \cdot S \cdot P_o$$

【0074】また、電流電圧変換器（47あるいはモニタ受光部内蔵のもの）の変換ゲインをGiv、ゲイン切換えアンプ51のゲインをGpdとすると、モニタ信号Imonは、次の数6に示す式に基づく演算によって得られる。

【0075】

$$\text{【数6】 } I_{mon} = G_{pd} \cdot G_{iv} \cdot I_{pd} = G_{pd} \cdot K_{pd} \cdot P_o$$

【0076】ここで、 $K_{pd} = G_{iv} \cdot \alpha \cdot S$ となる。なお、オフセットDAC49から供給されるオフセット電圧は便宜上省略した。また、光源LD1とLD2の出射光をモニタするモニタ受光部を別個に設ける場合は、PDアンプ部26の入力を2つ設け、それぞれにモニタ受光部から供給されるモニタ受光信号を入力し、照射し

ている光源LDに対応するモニタ受光信号を選択するようにすればよい。

【0077】[バイアス電流制御部] バイアス電流制御部27は、PDアンプ部26から供給されるモニタ信号Imonがシーケンサ21から供給される目標レベル信号Dtargetから生成される基準信号Itargetと一致するようにバイアス電流Iapcを制御する。本実施形態では次の三通りの制御方法から選択できる。

【0078】(1) 平均値制御方法

二つの目標レベル信号Dtargetには変調データDmodLとDmodHと同じデータを供給し、P-BDAC52とP-PDAC53とスイッチ54とで発光量に比例した基準信号Itargetを生成する。P-BDAC52、P-PDAC53及びスイッチ54の動作は、それぞれPbDAC40、PtpDAC41及びスイッチ42の動作と同様である。ここで、出射光量Poと基準信号Itargetとの比例係数をKとすると、次の数7に示す関係が得られる。

【0079】

$$\text{【数7】 } I_{target} = K \cdot P_o$$

【0080】また、この比例係数KはバイアススケールDAC（BScaleDAC）70によってP-BDAC52とP-PDAC53のスケールを設定することによって決定され、予め $K = K_{pd}$ になるように設定する。Kpdは使用する受光部PDの光源LDの出射光Poに対する光利用効率α、受光感度Sのバラツキによって変わるので、初期調整時にこの設定を行うとよい。また、ゲイン切換えアンプ51のゲインGpdに合わせてバイアススケール設定値BiasScaleを変更する。そして、この基準信号Itargetが目標出射光量を示すことになるので、出射光量をモニタしているモニタ信号Imonが基準信号Itargetと一致するようにすればLDを目標照射光量で照射させることができる。

【0081】誤差アンプ55は、基準信号Itargetとモニタ信号Imonとの差分信号を増幅して次段に供給する。S/H積分器（S/HInteg.）56は、誤差アンプ55から供給される増幅された差分信号を積分してバイアス電流Iapcを出力する。S/H積分器56は、この制御方法の場合は常に積分動作を行う。また、SRSel信号によって制御速度を変更することができる。これは積分器への充放電電流（例えば、誤差アンプ55の出力電流）を変更することによって行う。これにより、記録/再生時にそれぞれ制御速度を最適値に設定することが可能となる。また、R-Contは充放電電流の設定可能範囲を設定する。

【0082】図14は、上記バイアス電流制御部27の動作説明に供する各信号波形の一例を示す図である。同図の(a)は発光波形である光波形であり、(b)はモニタ信号Imonである。使用する受光部PDによって

帯域制限を受けているものとする。また、図中の破線部は平均レベルを示す。同図に示すように、照射パワーやデューティを変化させると平均レベルが変動する。この場合、従来のように予め算出した所定の平均値との誤差制御を行う方法では正確な制御ができなくなる。また、同図の(c)は基準信号 I_{target} であり、上述したように照射波形に比例した波形になる。その破線部はバイアス制御帯域での信号である。このように照射波形に比例した基準信号を生成し、これを誤差制御に用いることにより、照射パワーやデューティ変化によって平均レベルが変動する場合でも正確なバイアス制御ができる。

【0083】(2) サンプルホールド制御方法

S/H 積分器 56 は、 $ApcSmp$ 信号によってサンプル時 (例えば、 $ApcSmp = High$ とする) には積分動作を行ってバイアス電流制御を行い、ホールド時には制御値であるバイアス電流 I_{apc} をホールドする。したがって、ホールド時は誤差アンプ 55 の出力を積分しないので、誤差アンプ 55 の回路オフセットによる制御値のドリフトなどを低減できる。また、基準信号 I_{target} の生成は上述と同様にしてもよいが、サンプル時の目標照射パワーに相当する一定の基準信号 I_{target} としてもよい。本実施形態では $ApcSmp$ 信号の生成はシーケンサ 21 で行い、LD 変調信号とステート信号によって生成する (ステートマシンにより制御する)。

【0084】この波形例を図 4 の (i) に示す。 $ApcSmp$ 信号はハイ (High) がサンプル期間を、ロー (Low) がホールド期間をそれぞれ示す。 $ApcSmp$ 信号の立上りは、ステート $state0 = SPe$ の時、ステート信号 $STEN2 = Low$ で LD 変調信号 WSP の立上りに同期する。また、立下りは次の LD 変調信号 WSP の立上りで行う (ステート $state0 = SPe$, ステート信号 $STEN2 = High$)。このようにすれば、信号線を新たに追加する必要がない。その他は (1) の制御方法と同様の動作を行う。

【0085】(3) ACC (Automatic Current Control) 制御方法

本実施形態では APC 制御を行わず、ACC 制御を行うこともできる。誤差アンプ 55 をバイパスして、ACC データに従った $P-BDAC52$ の出力をバイアス電流 I_{apc} として出力する。その際、S/H 積分器 56 に $P-BDAC52$ の出力をホールドしておくと、このモードから他の制御モード (上記 (1) または (2)) に移行する際、積分器の初期値がホールドしていた ACC データになるので、バイアス電流が不連続とならず、切り換わり時に光源 LD が過剰発光したり、消灯したりするのを防ぐことができる。

【0086】逆に、APC 制御モードからこの ACC モードに切り換える際には、バイアス電流 I_{apc} の値を

モニタして取得しておき、それを ACC データとして設定しておけばよい。その制御モードへの切り換えは $ACCSe1$ 信号によって指示する。本実施形態では、上記バイアス電流制御部 27 を用いず、外部からバイアス電流 I_{ext} を印加することも可能にしている。図示は省くが、このとき前述したのと同様に外部バイアス電流 I_{ext} を S/H 積分器 56 にホールドしておくと、内部のバイアス電流制御部 27 に切り換える際に移行を確実にかつ速やかに行える。

【0087】図 7 は、図 3 に示したバイアス電流制御部 27 の他の構成例を示すブロック図である。目標レベル信号 $Dtarget2$ は前述の変調データ $DmodL$ と $DmodH$ を変調信号 MOD でスイッチングして生成したデータであり、バイアス DAC ($BiasDAC$) 71 によって発光量の平均値である基準信号 I_{target} を生成する。バイアス DAC 71 は発光量の平均値を生成するのが目的であるので、変調部 23 の $PbDAC40$, $PtpDAC41$ ほどの高速動作は必要ない。この実施形態によれば、基準信号 I_{target} 生成部の構成を簡便化でき、DAC の応答速度も低減できるので、チップサイズや消費電流の低減を図ることができる。その他のブロックは図 3 に示したものと同様の動作をし、制御方法も上記 (1) ~ (3) が同様に適用できる。

【0088】[微分量子効率制御部] 微分量子効率制御部 28 は、駆動している光源 LD (光源 LD1 または光源 LD2) の微分量子効率 η を検出してその検出結果に応じて LD 変調電流のスケール $Scale$ を制御する。これは所定の 2 点間の照射光量の差分を検出して基準値 η_{target} と比較し、その比較結果に基づいてスケール $Scale$ 値を増減することによって行う。サンプルホールド回路 (S/H) 57 は、基準となる照射光量時 ($P1$ とする) のモニタ信号 I_{mon} を $Etasmp$ 信号に従ってサンプル/ホールドする。差分器 58 は、サンプルホールド回路 57 の出力とモニタ信号 I_{mon} との差分信号を生成する。

【0089】 $etarefDAC59$ は、基準値 η_{target} を出力する。比較器 (Comp) 61 は、差分器 58 の出力と基準値 η_{target} とを比較し、差分器 58 の出力が基準値 η_{target} より小さかったら Up 信号を、大きかったら Down 信号をカウンタ (Count) 62 へ出力する。この比較器 61 の比較タイミングは $CompCK$ 信号に従って行われ、 $CompCK$ 信号の立上りで比較開始する。カウンタ 62 は、比較器 61 の出力する比較結果 Up/Down 信号によってカウンタ値を増減する。そのカウンタ値の更新は $CompCK$ 信号の立下りで行う。このカウンタ値を $Scale$ 信号として変調部 23 へ供給し、その $Scale$ 信号の増減に併せて発光量も増減する。カウンタ 62 の初期値には、 $PScale$ (記録時初期値) あるいは RSc

ale (再生時初期値) が設定される。

【0090】また、図示は省くがカウント値を平均化する手段を設け、カウント値の移動平均値をScale信号にしてもよい。このように、平均化することによって制御値(Scale)の発振を防止できる。さらに、比較器61に不感帯を設け、両者がほぼ一致するときはUp/Down信号のどちらも出力しないようにしても同様の効果が得られる。また、etarefDAC59のフルスケールは、バイアススケールDAC70によって設定される。光源LDの出射光量Poとモニタ信号Imonとの関係式は上述の数6で表され、係数Kpdは使用する受光部PDの光源LDの出射光Poに対する光利用効率 α 及び受光感度Sのバラツキによって変化する。

【0091】つまり、基準値 η targetも装置毎にばらつくが、バイアススケールDAC70によってetarefDAC59のフルスケールを調整することによってバラツキを吸収することができる。したがって、当然係数Kpdに合わせて基準値 η targetを算出・設定してもよい。なお、バイアススケールDAC70は上述のようにバイアス電流制御部27の基準信号Itargetを調整するものでもあるので、共通に調整でき、調整工程が簡略化できる。

【0092】次に、微分量子効率制御方法の一例を説明する。相変化型記録媒体への記録動作中の制御方法を、図4の波形図に基づいて説明する。この制御方法は、図4の(c)光波形のようにロングスペース中に所定期間 η 検出用パワーP2で発光させ(破線部(B))、この期間にS/H回路57でサンプルする(サンプル信号は(j)のEtaSmp)。また、その後のイレースパワーP1の照射中に比較器61で基準値との比較を行う(同図の(k)CompCK)。つまりP1とP2との差分から微分量子効率 η を検出する。

【0093】通常、CD-RWなどの相変化型記録媒体はイレースパワーの多少の変動に対しては記録特性をほとんど悪化させない。また、微分量子効率の変動は温度変化によるものが主因なので、この制御帯域は遅くてもよく、この特殊パワーP2での発光頻度も少なくともよいので、この制御方法による記録性能への悪影響はない。さらに、記録開始直後などのようにScaleの初期値PScaleがずれている可能性がある場合のみ、サンプル頻度を増やして制御速度を上げてよい。このようにすれば、記録性能に影響与えることなく、微分量子効率の変動を自動的に制御し、所望の光量でLDを発光させることができる。

【0094】また、この制御信号であるEtaSmp信号及びCompCK信号はシーケンサ21において、LD変調信号及びステート信号から生成できる。以下に生成方法を説明する。まず、LD変調信号(WSP信号)、ステート信号(STEN信号)は所望の η 検出用パワーP2の発光タイミングに合わせて、図4の一点鎖

線枠(C)で囲んだ部分のような信号を生成する。

(e-2) STEN2信号はWSP信号とSTEN信号から生成され、同様に破線のようにになる。このときシーケンサ21のステートマシンSMaとSMbは以下に示す状態遷移を行う。

【0095】{ステートマシンSMa} 状態SPeの時、ステート信号STEN2=ロー(Low)かつLD変調信号WSP↑(「↑」は立上りエッジを表す)ならば(時刻t13)、状態SPc1に遷移する。この時、最終ボトムパルスパワーPc1に対応した変調データは所定期間 η 検出用パワーP2(=Peteta)のものを出力する。つまり、この状態(Peteta)でLD変調信号WSP=ロー(Low)のときに所定期間 η 検出用パワーP2で発光する。また、これに合わせEtaSmp信号をハイ(High)(サンプル)とする。そして、次のLD変調信号WSP↑で状態SPeに戻る(時刻t15)。また、この状態への遷移に合わせてCompCKをハイ(High)とし、次に状態SPbに遷移する時にロー(Low)とする。以降は通常と同じである。

【0096】{ステートマシンSMb} 時刻t12でのLD変調信号WSP↓(「↓」は立下りエッジを表す)ではステート信号STEN=ロー(Low)なので、状態SPeに留まる。時刻t14でも同様である。時刻t16でのLD変調信号WSP↓にはステート信号STEN=ハイ(High)であるので状態Ptpに遷移する。以降は通常と同じである。

【0097】[高周波変調部] 一般に、光ディスク装置では情報媒体からの戻り光による光源のノイズを抑制するため、再生時には高周波信号で変調を行う、いわゆる高周波重畳を行っている。高周波変調部30は、高周波重畳信号HFMODと高周波重畳時にバイアス電流に印加するオフセット電流Ihfmoofsを生成する。また、本実施形態では高周波変調自体は変調部23を利用して行うので、高周波重畳時の変調部23の動作も併せて説明する。VCO64は、FreqDAC63の出力する周波数設定信号に従った周波数の信号HFMODを発生させる発振器である。

【0098】MUX65はHF-ON信号に従って、この高周波重畳信号HFMODとシーケンサ21の出力する変調信号MODとを選択出力し、変調部23に供給する。ここでは高周波重畳時について説明するのでHFMOD信号が選択されるものとする。また、HFBDAC66及びバッファアンプ67で付加するオフセット電流Ihfmoofsを生成し、スイッチ68で印加の有無を設定する。さらに、VCO64は高周波重畳を行わない時(HF-ONにより指示)は、発振を停止させるようにしておくとな unnecessary電力消費を抑制できる。変調部23は高周波重畳時は以下の動作をする。

【0099】変調データDmodLとDmodHにはそれぞれボトムレベルとトップレベルに対応したデータを

与え、PbDAC40とPtpDAC41はそれぞれIb_{tm}とI_{top}を出力する。この変調データを変更することによって変調度を変更できる。そして、スイッチ42で高周波重畳信号HFMODに従って変調電流I_{mod}を生成する。

【0100】LD駆動電流は上記数4に示した式に基づく演算によって得られ、光変調波形は図9に示す線図のようになる(図9では、便宜上電流駆動部の増幅率A_iは省略している)。そして、平均光量P_{avg}が目標光量P_{target}になるようにバイアス電流が制御される。また、上述の説明と同等にPbDAC40とPtpDAC41のフルスケールはScale信号によって設定され、再生中は微分量子効率制御部28による制御動作は行わないとすると、再生時のScale信号の初期値RScaleが一定に与えられる。

【0101】[DC/DCコンバータ] DC/DCコンバータ32は、LD駆動集積回路1に供給される電源電圧から集積回路の内部電源電圧に変換して各部へ供給する。また内部電源電圧値はPwrReg信号によって設定される。LD駆動集積回路1を高速動作させるには、C-MOS微細プロセスで実現し、そのプロセスの許容電圧付近で動作させることが望ましい。また、駆動する光源LDは、通常2~3Vの動作電圧を有し、LD駆動部には3~4Vの電源電圧が最適である。これよりも大きいと消費電力が増大し、発熱も大きくなるからである。これらの条件を満足するためには、例えば0.35μmのC-MOSプロセスを用いて3~4Vの電源電圧で動作させるようにするとよい。

【0102】しかし、情報記録再生装置としてはこの最適電圧が供給されていない場合がある(例えば5Vと12Vのみ供給されている)。そのため、別途電圧変換して生成し供給する必要があるが、FCP基板を介して供給する電源供給線が増加してしまう。また、ピックアップ部に電圧変換部を設けるには小型化の望まれるピックアップとしてはスペース的に困難である。一方、動作速度は遅いが5V耐圧トランジスタを搭載するにはコストアップ無しに容易に可能であり、電圧変換部を構成するにはこのトランジスタで十分である。

【0103】したがって、本実施形態のように電圧変換部(DC/DCコンバータ32)をLD駆動集積回路1に内蔵することによって上記課題を解決できる。さらに、電圧変換部として、DC/DCコンバータ(いわゆるスイッチングレギュレータ)を用いれば、変換損失を低くすることができ、消費電力及び発熱量を低減することができる。また、DC/DCコンバータ32はPwrReg信号によって内部電源電圧値を設定可能にしているので、最適な電源電圧に設定することができる。DC/DCコンバータ31は、外部との入出力インタフェース用の電圧変換部である。これにより、FPC基板の電源供給線を増やすことなく様々なインタフェース電圧に

対応することができる。

【0104】上記説明では図4の(c)の光波形を出力する場合の動作について説明したが、ステート信号STENや設定値などを変更すれば他の光波形を出力することができる。図10は、その他の出力信号の一例を示す波形図である。図10に示すように、記録マークの後でエッジ位置制御を行うのに、最終パルスパワーP_{lp}及びクーリングパルスパワーP_{cl}の制御を付加するのではなく、イレースの先頭パワーP_{ep}(図10の破線部(i_v))制御をパルス幅制御に付加する方法を実現するものである。LD変調信号WSP、ステート信号STENは同図のように与えられる。図4の場合と異なるのはステート信号STENの立下りタイミングのみである。また、ステートマシンSMaとSMbも遷移条件を一部変更するだけで対応可能である。

【0105】したがって、遷移条件に光波形モード設定による条件を追加しておけばよい。つまり、図5のステートマシンSMaにおいて、光波形モードにより(a)または(b)の遷移を行うようにすればよい。なお、状態SP_{lp}には照射パワーP_{ep}が対応する。このように、ステートマシンの各状態に対応する照射パワーや、遷移条件を変更すれば様々な光波形を発生させることができる。

【0106】次に、上記LD変調信号生成部10について詳細に説明する。図15は、LD変調信号生成部10の構成を示す図である。LD変調信号生成部10は、記録クロック信号WCKからn通倍のクロック信号PCK及びそのクロック信号PCKと所定量づつ位相の異なる複数のクロック信号を生成するPLL部110と、図2のコントローラ19から供給される記録データ信号Wdataのランレングスを検出してランレングス信号Len₀~Len₂を供給し、所定量の記録データ信号を遅延させた遅延記録データ信号dWdataを出力するランレングス検出部(RunLength Det.)111と、駆動波形生成情報を格納しておき、ランレングス信号Len₀~Len₂に対応した情報を遅延記録データ信号dWdataに合わせて出力する駆動波形生成情報保持部(Strategy Memory)112を備えている。

【0107】また、駆動波形生成情報保持部112から出力された駆動波形生成情報から変調タイミング信号を生成するタイミング信号生成部113と、そのタイミング信号生成部113によって生成された変調タイミング信号からLD変調信号WSPを生成する変調信号生成部114と、同じくタイミング信号生成部113によって生成された変調タイミング信号からステート信号STENを生成するステート信号生成部(STEN Gen.)115と、駆動波形生成情報保持部112から出力された駆動波形生成情報からコマンド信号STCMDを生成するステートコマンド生成部(STCm Gen.)

n.) 116 と、記録データ信号 *Wdata* からサンプルホールド方式の APC 制御用サンプル信号を生成するサンプル信号生成部 (Sample Timing Gen.) 117 と、図 2 のコントローラ 19 から供給される制御コマンドを受けて各部へ制御信号を供給する制御部 118 も備えている。

【0108】次に、図 15 に示した LD 変調信号生成部 10 の各部の詳細な内部構成とその動作について説明する。

【PLL】PLL 部 110 は、記録クロック信号 *WCK* から n 通倍のクロック信号 *PCK* を生成し、そのクロック信号 *PCK* と所定量づつ位相の異なる複数のクロック信号 (本実施形態では *CK0* ~ *CK7* の 8 つのクロック信号とし、*CK0* をクロック信号 *PCK* とする) を生成する。また、記録チャンネルクロック信号 *CKch* も生成する。

【0109】PLL 部 110 内の M 分周器 ($1/M$) 120、位相比較器 (PC) 121、ループフィルタ (Filter) 122、発振器 (VCO) 123 及び N 分周器 ($1/N$) 124 は、PLL (Phase Locked Loop) 回路を構成する。上記各部の動作は通常の PLL 回路と同様なのでその詳細な説明は省略する。 M 分周器 120 は、記録クロック信号 *WCK* を M 分周する。その分周比 $1/M$ は設定可能とし (例えば、 $M=2, 4$)、記録クロック信号 *WCK* が記録チャンネルクロック信号 *CKch* を分周した信号で供給される場合に対応する。したがって、記録クロック信号 *WCK* の周波数を下げて転送をすることによってノイズの発生を低減することができる。

【0110】発振器 123 は、所定量づつ位相の異なる m 個のクロック信号 (本実施形態では *CK0* ~ *CK7* の 8 つのクロック ($m=8$) とし、*CK0* を *PCK* とする) を生成する。これは例えばリングオシレータなどによって構成する。 N 分周器 124 は、発振器 123 の出力する一つのクロック信号 (例えば *CK0*) を N 分周する。その分周比 $1/N$ は設定可能とし、 N/M が記録クロック信号 *WCK* に対する n 通倍のクロック信号 *PCK* の通倍数 n になる。また、 M/N 分周器 125 によって n 通倍のクロック信号 *PCK* を M/N 分周して記録チャンネルクロック信号 *CKch* を生成し、各部へ供給する。後述するように、LD 変調信号 *WSP* はクロック信号 *CK0* ~ *CK7* を基準にして生成する。つまり、分周比 $1/N$ 、 $1/M$ を設定することによって LD 変調信号 *WSP* のパルス幅設定分解能を設定することができる。

【0111】例えば、供給される記録クロック信号 *WCK* が記録チャンネルクロック *CKch* と同一周波数で転送されるものとし、 $M=4$ 、 $N=16$ と設定すると、クロック信号 *PCK* はチャンネルクロック信号 *CKch* の 4 通倍の周波数になり、LD 変調信号 *WSP* はチャンネルクロック信号 *CKch* に対して $1/32$ ($=m \cdot M/N$) の

パルス幅設定分解能で生成することができる。以下、これをパルス幅設定ステップと称する (また適宜、単にステップと称する)。上記例の場合、32 ステップが 1 チャンネルクロック周期に相当する。

【0112】[ランレングス検出部] ランレングス検出部 111 は、図 2 のコントローラ 19 から供給される記録データ信号 *Wdata* のランレングスを検出し、ランレングス信号 *Len0* ~ *Len2* を供給する。記録データ信号 *Wdata* は、NRZI (Non Return to Zero Inverted) の二値化信号でハイ (H) 区間が記録マークを、ロー (L) 区間がスペースを表すものとする。つまり、ランレングス検出部 111 は記録データのマーク長及びスペース長を検出する。ここでは、*Len1* がマーク長を、*Len0* が直前スペース長を、*Len2* が直後スペース長をそれぞれ供給するものとする。

【0113】また、ランレングス検出部 111 は適用する記録データ信号の最小最大ランレングスに応じて構成し、本実施形態では DVD フォーマットの記録媒体 (DVD+RW、DVD-R、DVD-RAM などの光ディスク) に対する情報の記録を行う光情報記録装置への適用を想定し、記録データ信号 *Wdata* は EFM+ 変調を行った信号を想定して説明する。つまり、ランレングスは 3T ~ 11T 及び 14T (T はチャンネルクロック周期) になる。さらに、ランレングスを検出するのに必要な所定時間及び各回路遅延時間などを考慮して記録データを所定量遅延させて遅延記録データ信号 *dWdata* を出力する。

【0114】図 16 は、ランレングス検出部 111 の内部の詳細な構成例を示す図である。また、図 17 は図 16 に示したランレングス検出部 111 内の各部が出力する信号の波形図である。カウンタ (Counter) 140 は、記録チャンネルクロック信号 *CKch* (図 17 の (a)) により、記録データ信号 *Wdata* (同図の (b)) のランレングス (ハイレベル区間及びローレベル区間) を計数して出力する (count : 同図の (c))。カウンタ 140 によって計数されたランレングスデータは一旦 FIFO 143 に順次保持する。遅延回路 (Delay) 141 はシフトレジスタなどによって構成し、記録データ信号 *Wdata* を所定量 (*dly*) 遅延させた遅延記録データ信号 *dWdata* (図 17 の (d)) を出力する。また、各部制御信号生成のための遅延量の異なる信号も生成して FIFO 制御部 (FIFO Ctrl) 142 に供給する。

【0115】FIFO 制御部 142 は、FIFO 143 の書込み・読み出し制御及び各部制御信号を供給する。レジスタ (Reg) 144 は、FIFO 143 から読み出したランレングスデータを保持して出力する (*Len0*、*Len1*、*Len2*)。FIFO 143 の読み出しタイミング (レジスタ 144 の保持タイミング) は、遅

延記録データ信号 $dWdata$ と一致するように F I F O 制御部 142 から供給する制御信号によって決定する。つまり、図 17 に示すように、遅延記録データ信号 $dWdata$ にそのマーク長 $Len1$ 、直前スペース長 $Len0$ 、直後スペース長 $Len2$ が合うようにする（または $Len0 \sim Len2$ によって変換される駆動波形生成情報 (f) が合うようにする）。なお、遅延量 dly や F I F O 143 のサイズは F I F O のエンペティ、フルが生じないように記録データ $Wdata$ の最小・最大ランレングス及び各回路遅延などを考慮して決定すればよい。

【0116】〔駆動波形生成情報保持部〕駆動波形生成情報保持部 112 は、駆動波形生成情報を格納しておくものであり、ランレングス信号 $Len0 \sim Len2$ に対応した情報を遅延記録データ信号 $dWdata$ に合わせて出力する。図 18 は、本実施形態における駆動波形生成情報と光波形との関係を示すタイミングチャート図である。図 19 は、複数のタイミング情報毎の駆動波形生成情報の組み合わせ例を示す一覧表の図である。

【0117】駆動波形生成情報は、光波形の照射レベル変化タイミング、つまり LD 変調信号 WSP の変化タイミングを表すタイミング情報と LD 照射レベルなどのコマンド信号 STCMD として転送するコマンド情報とからなる。このタイミング情報はパルス幅設定ステップ数で表され、図 18 に示す各タイミング情報 (TSS、TSP、...) を基準時刻（例えば遅延記録データ立上りエッジ）から累積していくことによって LD 変調信号 WSP の変化タイミングを決めていく。また、NMP は TMS 及び TMP の繰り返し回数である。このようにして、マルチパルス周期及びデューティを任意に設定することができる。

【0118】また、情報記録媒体や記録線速度の種類によっては最適な光波形が異なる場合がある。例えば、高速化記録を行う際、情報記録媒体における照射ビームの通過時間が短くなるため、情報記録媒体に照射されるエネルギー量が低下して記録マーク形成に必要な熱量が不足する。正確な記録を行うには非常にパルス幅の狭いパルス列で記録を行えばよいが、そのためには高いレーザーパワーが必要になる。そこで、マルチパルス列の周波数を下げて低レーザーパワーで記録するとよい。一方、高速記録用に記録感度を上げた情報記録媒体に対して低速記録を行うと、熱量が過剰になって正確な記録マークが形成できなくなる。そこで、マルチパルス列の周波数を上げて記録するとよい。このようにして、記録線速度の種類に応じてタイミング情報及びパルス繰り返し数を変更し、マルチパルスの周波数及びデューティを変更するようすれば、当該記録線速度に最適な光波形を生成できるようになる。

【0119】なお、本実施形態では最終パルスの立上りエッジ (a) と立下りエッジ (b) を基準時刻からの累

積ではなく独立に設定するようにしている（また、タイミング (c)、(d) は (b) からの累積とする）。多くの種類の情報記録媒体では、それらのタイミングが形成する記録マークの後エッジ位置制御に大きく依存する。一方、記録マークの前エッジ位置制御には TSS、TSP などのタイミング情報が重要になる。それらの前後それぞれのエッジ位置制御に主要なパラメータを独立に設定することにより、各パラメータの設定値によって最終パルスタイミングへの波及がなくなり、記録マークエッジ位置への影響度が限られる。

【0120】すなわち、記録動作中に各パラメータ設定値を変更する場合、各パラメータを順次変更していても記録マーク形状には影響度は少ない。例えば、高精度な記録マーク形状制御のためには各パラメータを記録線速に応じて変更する必要がある。CAV 記録を行う際には記録動作中に記録線速に応じた設定値に変更するため、このような場合に好適となる。また、回路の簡便化のため、タイミング (a)、(b) は破線で示すようにそれぞれタイミング情報 TLS、TLM を累積して決めてもよい。

【0121】また、本実施形態では、駆動波形を記録データ信号 $Wdata$ のマーク長とその隣接するスペース長によって変化させ、形成する記録マークエッジ位置を高精度に制御するようにしている。記録マークが形成される時、隣接のスペース長によって情報記録媒体上で熱的影響を受け、エッジが隣接スペース長によって変化する。それを避けるために、隣接のスペース長を考慮して駆動波形を変化させるものである。つまり、マーク長及び直前直後のスペース長の各組み合わせに対応した駆動波形生成情報を格納しておき、ランレングス検出部 111 によって検出したランレングス信号 $Len0 \sim Len2$ に応じて対応した駆動波形生成情報を供給する。

【0122】なお、マーク長及び隣接スペース長が所定値以上の場合には熱的影響やその変化分は少ない。そのため、全ての組み合わせに対応した駆動波形生成情報を用意する必要はない。例えば、図 19 に示すように、予め影響度の大きい組み合わせのみを登録したテーブルを用意すれば情報の保持に必要なメモリ容量を低減することができる。また、この実施形態では、各パラメータに応じて用意する組み合わせも変え、メモリ容量の低減化とマーク形状制御の高精度化の両立を図っている。

【0123】図 20 は、図 15 に示す駆動波形生成情報保持部 112 の詳細な内部構成例を示す図である。各パラメータを格納するメモリ 152a \sim 152n はそれぞれ独立に動作し、ランレングス信号 $Len0 \sim Len2$ をそれぞれアドレス変換部 (Addr Converter) 150a \sim 150n によって変換し、セクタ 151a \sim 151n を介してメモリ 152a \sim 152n のアドレス信号として供給する。出力バッファ 153a \sim 153n は、制御部 118 からリード要求のあったメモ

リに対応するリードデータの出力制御を行う。レジスタアクセス制御部154によって出力イネーブル信号を生成し、各出力バッファに供給している。

【0124】レジスタアクセス制御部(Register Access Control)154は、図15の制御部118からのライト／リード要求に対して各メモリ152a～152nへのアクセス制御を行う。セクタ151a～151nは、レジスタアクセス制御部154から当該メモリへのアクセスがある場合、アドレス変換部150a～150nから供給されるアドレスとレジスタアクセス制御部154から供給されるアドレスとを切り換える。また、レジスタアクセス制御部154は、記録動作中のメモリアクセス要求に対してスペース期間中にメモリ152a～152nへのアクセスをするようにしている。

【0125】[タイミング信号生成部及び変調信号生成部] タイミング信号生成部113は、駆動波形生成情報(タイミング情報) から変調タイミング信号を生成する。その変調タイミング信号は、 n 逓倍のクロック信号PCKに同期したタイミングパルス信号と位相選択信号とからなる。変調信号生成部114は、タイミング信号生成部113の供給する変調タイミング信号からLD変調信号WSPを生成する。その生成の際はクロック信号CK0～CK7を基準とし、それらのクロック信号の位相差に相当する時間がLD変調信号WSPのパルス幅設定分解能になる。

【0126】図21は、タイミング信号生成部113及び変調信号生成部114の詳細な内部構成例を示す図である。図22及び図23は、図21に示したタイミング信号生成部113及び変調信号生成部114の各部の出力する信号の波形図である。図24は、図21に示すタイミング制御部160内の2つのシーケンサの動作を示す説明図である。この図21乃至図24に基づいて、駆動波形生成情報からタイミングパルス信号及び位相選択信号の生成を経由してLD変調信号WSPを生成する動作概要を説明する。

【0127】図21に示すタイミング制御部(Timing Ctrl)160は、図23に示す2つのシーケンサの動作に基づいて後述する各部の制御信号を生成する。また、遅延記録データ信号dWdataから所定時間 Δ (PCK 単位) を遅らせたLD変調信号WSPのパルス列の基準時刻を生成する。タイミング演算部161は、タイミング制御部160から供給される演算指示信号に基づいて駆動波形生成情報保持部112から供給されるタイミング情報から次の変調タイミングまでのパルス幅設定ステップ数を算出する。

【0128】本実施形態では回路の高速動作実現のために立上り変調タイミングと立下り変調タイミングとを別々に処理しており、次の立上り変調タイミングNext Timing1と次の立下り変調タイミングNext T

iming2をそれぞれ算出する。そして、その算出した次の立上り変調タイミングNext Timing1までのステップ数は上位5ビットがカウンタ(Counter)163aに、下位3ビットが位相選択信号として位相選択信号保持部(Reg)164aに供給される(ここではパルス幅設定ステップ数は8ビットとする)。同様に、次の立下り変調タイミングNext Timing2までのステップ数は上位5ビットがカウンタ(Counter)163bに、下位3ビットが位相選択信号保持部(Reg)164bに供給される。

【0129】さらに同様に、タイミング演算部162は、図22に示すLD変調信号WSPのパルス(i) と(ii) の立上り／立下り変調タイミングをそれぞれ算出し(それぞれ立上り変調タイミング信号Next Timing3と立下り変調タイミング信号Next Timing4)、それぞれカウンタ(Counter)163cと163d及び位相選択信号保持部(Reg)164cと164dに供給する。また、タイミング制御部160は、遅延記録データ信号dWdataから($n-3$) チャネルクロック(n は遅延記録データ信号dWdataのマーク長) と所定時間 Δ を遅らせた第2基準時刻を生成する。変調タイミング信号Next Timing3及びNext Timing4は第2基準時刻を基準にして生成する。

【0130】カウンタ163a～163dは、クロック信号PCKによって次の変調タイミングまでの時間を計数するものであり、タイミング制御部160から供給されるロード信号load1又はload2に従ってタイミング演算部161と162の算出する次の変調タイミングまでのステップ数を取り込み、クロック信号PCKによってダウンカウントする。そして、カウント値がゼロになった時点でそれぞれセットパルス信号(Fset, Rset) / リセットパルス信号(Frst, Rrst) (これらを「タイミングパルス信号」と総称する) を出力する。位相選択信号保持部164a～164dは、それぞれ位相選択信号ckph1～ckph4を保持して次段へ供給する。その保持タイミングはタイミング制御部160から供給される信号に基づいて決定する(図示を省略)。

【0131】タイミングパルス信号制御部165は、カウンタ163a～163dからそれぞれ供給されるタイミングパルス信号Fset, Rset, Frst, Rrstからフリップフロップ167a～167dのそれぞれに対するセット／リセット信号を生成する。また、位相選択信号保持部164a～164dからそれぞれ供給される位相選択信号ckph1～ckph4をそれぞれクロックセクタ166a～166dに供給する。フリップフロップ167aは、セットパルス信号Fset (又はRset) に従って出力信号q_Aをハイ(H) にする。その時に立上り変調タイミング信号は位相選択

信号 $ckphA$ に従ってクロックセクタ166aによって選択されたクロック信号($CK0 \sim CK7$ の何れか)で決まる。例えば、図23は図22の(P)の部分の拡大図であるが、図23に示すように、 $CK2$ が選択されている。

【0132】一方、フリップフロップ167bは、リセットパルス信号 $Frst$ (又は $Rrst$)に従って出力信号 q_B をロー(L)にする。その時に立下り変調タイミング信号は位相選択信号 $ckphB$ に従ってクロックセクタ166bによって選択されたクロック信号($CK0 \sim CK7$ の何れか)で決まる。そして、出力信号 q_A と q_B の論理積をとってLD変調信号WSPを生成する。

【0133】なお、フリップフロップ167aのリセットパルス信号 Rst_A と、フリップフロップ167bのセットパルス信号 Set_B は、それぞれセットパルス信号 $Fset$ (又は $Rset$)及びリセットパルス信号 $Frst$ (又は $Rrst$)に応じて生成する。同様にして、フリップフロップ167cと167d及びクロックセクタ166cと166dでもLD変調信号WSPを生成し、高速回路動作実現のために、図21中の一点鎖線枠で示す(I)と(II)の部分が交互に動作し、最終的にその論理和をとってLD変調信号WSPを生成する。タイミングパルス信号制御部165は、その交互動作をさせるためにタイミングパルス信号 $Fset$ 、 $Rset$ 、 $Frst$ 、 $Rrst$ 及び位相選択信号 $ckph1 \sim ckph4$ の振り分け機能も果たす。論理回路168は、上述した出力信号 q_A と q_B の論理積及び出力信号 q_C と q_D の論理積をとり、そしてそれらの論理積出力値の論理和をとってLD変調信号WSPを生成するものである。

【0134】図24は、図21に示すタイミング制御部160内に設けた2つのシーケンサの状態遷移図であり、(a)シーケンサ(Sequencer)1及び(b)シーケンサ(Sequencer)2の二つのシーケンサによって各部の制御を行う。次に、そのシーケンサ1と2の遷移条件を説明する。また、図22及び図23に状態遷移の一例を示す。

【0135】(a)シーケンサ1

状態Idle: 初期状態。遅延記録データ信号 $dWdata$ の立上りによって状態SPに遷移する。それまではここに滞留する。

状態SP: 基準時刻に発行されるload1信号によっ

(タイミング演算部161)

NextTiming1 = TSS

TSS + ckph2

TMS + ckph2

NextTiming2 = TSS + TSP

TSS + TSMP + ckph2 @SMP

@Idle or SP

@SMP

@MP

@Idle or SP

て次の状態に遷移し、その他はここに滞留する。その時、駆動波形生成情報(TSMS及びTMS)によって遷移先が異なる。つまり、 $TSS=0$ の時は状態SMPへ、 $TSS=0$ かつ $TMS=0$ の時は状態MPへ、それ以外の時($TSS=0$ かつ $TMS=0$)は状態LPへそれぞれ遷移する。

状態SMP: リセットパルス信号 $Frst$ と同時に発行されるload1信号によって次の状態に遷移し、その他はここに滞留する。その時、駆動波形生成情報(TMS)によって遷移先が異なる。つまり、 $TMS=0$ の時は状態MPへ、 $TMS=0$ の時は状態LPへそれぞれ遷移する。

【0136】状態MP: リセットパルス信号 $Frst$ と同時に発行されるload1信号によって状態LPに遷移する。但し、NMPによって指定されるMP繰返し回数はここに滞留する。図22は $NMP=2$ の場合を示す。

状態LP: リセットパルス信号 $Frst$ によって状態Waitに遷移する。

状態Wait: シーケンサ2によって各部制御が行われている時の待機状態。シーケンサ2の初期状態への遷移後、状態Idleに遷移する。

【0137】(b)シーケンサ2

状態Idle: 初期状態。遅延記録データ信号 $dWdata$ の立上りによって次の状態に遷移する。遅延記録データ信号 $dWdata$ の立上りから $(n-3)T$ (n : マーク長, T : チャネルクロック周期)の間はウェイト信号が出されており、その場合は状態Waitに遷移する。一方、 $n=3$ でウェイト信号が出されていない時は状態LMPに遷移する。

状態Wait: ウェイト信号が出されている間はここに滞留する。ウェイト解除によって状態LMPに遷移する。

状態LMP: (ウェイト解除所定時間 Δ 後に発行される)load2信号によって状態EPに遷移する。

状態EP: リセットパルス信号 $Rrst$ と同時に発行されるload2信号によって状態Endに遷移する。

状態End: リセットパルス信号 $Rrst$ によって状態Idleに遷移する。

【0138】次に、タイミング演算部161と162において算出するそれぞれのシーケンサの各状態毎のタイミング算出式を示す。

TMS + TMP + ckph2 @MP
 { タイミング演算部 162 }
 NextTiming3 = TLMP @Idle or Wait or LMP
 TES + ckph4 @EP
 NextTiming4 = TEMP @Idle or Wait or LMP
 TES + TEP + ckph4 @EP

【0139】図25は、図21に示すタイミングパルス信号制御部165における信号削除処理の説明に供する波形図である。また、セットパルス信号Fset、リセットパルス信号Frstの生成とセットパルス信号Rset、リセットパルス信号Rrstの生成とは独立に行われているので、図25に示すように、セットパルス信号Fsetとリセットパルス信号Frstとで生成されるパルス信号WSP_Fと、セットパルス信号Rsetとリセットパルス信号Rrstとで生成されるパルス信号WSP_Rとが重なる場合がある。その場合は、タイミングパルス信号制御部165においてリセットパルス信号Frst及びセットパルス信号Rsetの削除（その削除箇所を図25に丸く囲んで示す）を行い、セットパルス信号Fsetとリセットパルス信号RrstとでLD変調信号WSPが生成されるように次段への信号供給を行う。

【0140】上述した実施形態では説明を簡単にするために各回路の遅延を無視して説明しているが、実際の回路は各信号線にクロック信号PCKによる保持回路を挿入するので数PCKクロック分の遅延を生じる。したがって、出力されるLD変調信号WSP、つまりは光波形は基準時刻から数PCKクロック分（ Δ' とする）遅延し、記録チャネルクロック信号CKchに同期した遅延記録データ信号dWdataからは計 $\Delta + \Delta'$ だけ遅延する。ところで、前述したようにクロック信号PCKの記録チャネルクロック信号に対する通倍数は設定可能なので、追記や書換えの際にこの通倍数を変更したとすると、記録チャネルクロック信号に対する記録マークはズレてしまう。そのような場合には、基準時刻を生成する遅延量 Δ をPCK通倍数に応じて設定するようにすればよい。例えば、回路遅延 $\Delta' = 3PCK$ 、 $\Delta + \Delta' = 2CKch$ とすると、通倍数が2（ $1CKch = 2PCK$ ）のときは $\Delta = 1PCK$ にし、通倍数が4のときは $\Delta = 5PCK$ にすればよい。

【0141】また、タイミング信号生成部113は、ステート信号STENの生成のための変調タイミング信号を生成するSTENタイミングパルス生成部170も備える。さらには、図3に示したバイアス電流制御部27、微分量子効率制御部28によって駆動する光源（LD）の照射光量の制御を行う場合には、各種サンプル信号（ApcSmp信号、EtaSmp信号）生成のためにLD変調信号WSPにサンプリングタイミングを示すパルスを挿入する。例えば、図4や図10に示した信号

波形図では、 $t_{11} \sim t_{12}$ 、 $t_{13} \sim t_{14}$ 、 $t_{15} \sim t_{16}$ などに挿入したパルスが相当する。

【0142】APCタイミングパルス生成部171は、そのための変調タイミング信号を生成するものであり、その生成した変調タイミング信号をタイミングパルス信号制御部165に供給し、前述と同様にしてLD変調信号WSPを生成する。なお、これらの変調タイミング信号の生成はタイミング制御部160からの制御信号によって行う。このようにして、LD変調信号WSPにサンプリングタイミングを示すパルスを挿入することにより、信号線を追加することなくサンプリングタイミングを指示できるので、FPC基板上を伝送する信号供給線を低減することができる。

【0143】図26は、図21に示すSTENタイミングパルス生成部170によるSTENタイミングパルス信号及びAPCタイミングパルス生成部171によるAPCタイミングパルス信号の生成例の説明に供する波形図である。

〔APCタイミングパルス生成部〕タイミング制御部160は、二つ目のリセットパルス信号Rrstと同時にAPCカウントスタート信号を出力する。APCタイミングパルス生成部171では、そのAPCカウントスタート信号を受け、内部のカウンタによって所定値APCS（PCK単位）のカウントを行い、そのカウント後にAPCSetパルス信号を出力する。

【0144】また、APCRstパルス信号はAPCSetパルス信号よりも所定値（例えば、1PCK）後に出力する。さらに、 η 検出時にはEtaDetOn信号がハイ（H）になって供給されて、上記カウンタによって続けて所定値EtaSとEtaCをカウントし、それぞれAPCSetパルス信号を出力する。APCRstパルス信号は、上述と同様にしてAPCSetパルス信号よりも所定値（例えば、1PCK）後に出力する。

【0145】なお、EtaDetOn信号は、図2のコントローラ19から所定の間隔で出される η 検出指示があり、かつスペース長が所定値EtaLen以上ある場合にハイ（H）になり、タイミングパルス信号生成処理後に自動的に η 検出指示をクリアする。一方、EtaDetOn信号がロー（L）である場合は、図26中に丸く囲んだ枠（D）内のAPCSetパルス信号、APCRstパルス信号は生成されず、LD変調信号WSPには同図中の（B）（C）のパルスは出現しない。

【0146】〔STENタイミングパルス生成部〕前述

したように、本実施形態ではステート信号STENの立下り変調タイミングを変えることによって光波形を変更することができる。図4に示した波形をLPモード、図10に示した波形をEPモードと呼び、それぞれのモードにおける（それぞれLP/EP Modeによって指示する）STENタイミングパルス信号の生成について説明する。図26に示すように、STEN Rstパルス信号はEPモードの時はSeq. 2=EPかつResetパルスと同時に出力し（図26中の（ア））、LPモードの時はSeq. 1=LPかつFsetパルスと同時に出力する（図26中の矢印付き破線（イ））。また、STEN Setパルス信号の出力タイミングはEtaDetOn信号によって変わり、それぞれ図26に示すタイミングで出力する。さらに、同様にしてサンプリングタイミングだけでなく、コマンド指示なども信号線を追加することなく転送することができる。

【0147】[ステート信号生成部] 図15に示すステート信号生成部115は、タイミング信号生成部113において駆動波形生成情報（タイミング情報）から生成した変調タイミング信号であるSTENタイミングパルス信号からステート信号STENを生成する。ステート信号生成部115の内部構成は、図21の一点鎖線枠（I）内と同様に構成すればよく、ステート信号STENの生成はLD変調信号WSPほど高速ではないので交互動作をさせる必要はない。また、ステート信号STENのエッジ位置精度もLD変調信号WSPほど必要がないので、位相選択信号も3ビット全て使用する必要はなく、クロック信号CK0～CK7のうちの何れか一つに固定してもよいし、位相選択信号のビットを減らしてもよい。

【0148】[ステートコマンド生成部] ステートコマンド生成部116は、駆動波形生成情報（コマンド情報）からコマンド信号STCMDを生成する。コマンド信号STCMDは、前述したようにコマンドデコーダ22においてステート信号STENの両エッジで取り込まれる。したがって、コマンド信号STCMDのデータ変更タイミングは、ステート信号STENのエッジ前後で十分取り込み時間が確保されていればよい。ここでは、基準時刻とAPCカウントスタート時間を切換えタイミングとし、供給されるコマンド情報を順次LD駆動集積回路（LDドライバ）1に供給する。

【0149】[サンプル信号生成部] サンプル信号生成部117は、記録データ信号Wdataからサンプルホールド方式のAPC制御用サンプル信号を生成する。光源の発光波形は記録データ信号Wdataに対してランレングス検出部111での遅延分遅れるので、発光波形に合わせてサンプル信号を生成する。但し、前述の通り、ここで生成するサンプル信号は図3に示した構成でAPC制御を行う場合は用いない。

【0150】[エラー検出部及びエラー処理部] 何らか

のアクシデントによって駆動波形生成情報に不正なデータが記憶された場合、あるいは駆動波形生成情報の組み合わせによって不正になる場合、LD変調信号WSP及びステート信号STENは所望のタイミングでパルス信号を発生できなくなり、これらを受けてLDの駆動を行うLD駆動集積回路1では所望の光波形を得られず、誤った情報が記録されてしまう恐れがある。また、次以降のマークまでエラーが伝播してしまったり、高パワーでの発光が続いてLDの破壊に至ってしまう恐れもある。

【0151】図27は、LD変調信号生成部10にエラー検出手段とエラー処理手段を付加した実施形態の構成例を示すブロック図である。エラー検出部180は、タイミング信号生成部113内のタイミング制御部160のシーケンサの状態と遅延記録データ信号dWdataとからエラーの発生を検知する。例えば、記録データ信号dWdataがスペースとなって所定時間たってもシーケンサSeq1とSeq2が状態Idleに戻らない場合、エラーとしてエラー発生信号を出力する。また、駆動波形生成情報（タイミング情報）から演算してエラーの判別をしてもよい。

【0152】エラー処理部181は、エラー発生信号の入力により、タイミング信号生成部113へ変調タイミング信号の供給停止とシーケンサの初期状態への復帰を指示し、LD駆動集積回路1内のシーケンサ21を初期状態にリセットするようにLD変調信号WSPとステート信号STENを生成するため、変調信号生成部114とステート信号生成部115にエラー処理パルスを供給する。さらに、エラー発生信号をコントローラ19に直接（又は制御部118を介して）供給することにより、駆動波形生成情報（タイミング情報）の訂正を指示する。このようにすれば、エラーの伝播を防ぎ誤ったデータを記録し続けることを防止することができる。

【0153】また、第2エラー検出部182はエラー検出の他の実施形態を示すものであり、シーケンサ21と同様のものを備えて、LD変調信号WSP及びステート信号STENを入力し、LD駆動集積回路1での照射レベル状態を擬似モニタしている。このようにして、エラーの発生を検知して上記と同様のエラー処理を行う。

【0154】[コマンド信号及びコマンドデコーダの他の実施形態] 図28は、ステートコマンド生成部及びコマンドデコーダの他の実施形態の構成例を示す図である。また、図29は図28に示す各部の出力する信号の波形図である。図28に示すように、ステートコマンド生成部（STCmd Gen.）190は、変調タイミング信号に基づいてLD変調信号WSPに同期してコマンド信号STCMDを出力する。コマンドデコーダ（CMD Decoder）191は、LD変調信号WSPとコマンド信号STCMDとからLD照射レベルや照射モードを指定するモード制御信号SeqModeに変換する。このようにすれば、コマンド信号STCMDの信

号線数を低減することができる。

【0155】次に、上記実施形態におけるこの発明の各請求項の構成要件に係わる部分を明記する。

(1) この発明の請求項1に係わる部分

上記図18に基づく記載内容がその説明である。

(2) この発明の請求項2に係わる部分

図15の駆動波形生成情報保持部112が上記駆動波形生成情報保持手段の機能を、図15又は図20の駆動波形生成情報保持部112が上記情報選択手段の機能を、図15のタイミング信号生成部113及び変調信号生成部114が上記変調信号生成手段の機能をそれぞれ果たす。また、図3に基づく記載内容が上記光源駆動手段の説明である。

【0156】(3) この発明の請求項3に係わる部分
上記シーケンサ21内に上記照射レベル選択手段に相当する機能部を設ける。

(4) この発明の請求項4に係わる部分

上記段落番号[0039]の記載内容がその説明である。

(5) この発明の請求項5に係わる部分

図19に基づく上記段落番号[0121]の記載内容がその説明である。

(6) この発明の請求項6に係わる部分

上記(5)と同じく図19に基づく上記段落番号[0121]の記載内容がその説明である。

【0157】(7) この発明の請求項7に係わる部分
上記段落番号[0117]の記載内容がその説明である。

(8) この発明の請求項8に係わる部分

図18に基づく記載内容がその説明である。

(9) この発明の請求項9に係わる部分

図18に基づく記載内容がその説明である。

(10) この発明の請求項10に係わる部分

図18に基づく記載内容がその説明である。

(11) この発明の請求項11に係わる部分

上記段落番号[0055]等の記載内容がその説明である。

【0158】

【発明の効果】以上説明してきたように、この発明の光情報記録装置によれば、光変調制御信号波形の歪みやスキュー等による光変調波形の所望値からのずれを抑制し、情報記録の高速化と情報記録媒体への高密度化記録などの要求に対しても、コストと性能などを犠牲にすることなく実現することができる。

【図面の簡単な説明】

【図1】本発明の光情報記録装置の一実施形態である情報記録再生装置の全体構成を示すブロック図である。

【図2】図1に示した信号処理部104の内部構成を示すブロック図である。

【図3】図2に示したLD制御部9及びLD駆動部12

が集積化されたLD駆動集積回路1の構成図である。

【図4】図3に示したLD駆動集積回路1の各部の出力信号の一例を示す波形図である。

【図5】図3に示したシーケンサ21の状態遷移図である。

【図6】図3に示した変調部23の他の構成例を示すブロック図である。

【図7】図3に示したバイアス電流制御部27の他の構成例を示すブロック図である。

【図8】駆動電流-光出力特性の一例を示す線図である。

【図9】光変調波形の一例を示す線図である。

【図10】図3に示したLD駆動集積回路1の各部の出力信号の他の例を示す波形図である。

【図11】図3に示した変調部23のさらに他の構成例を示すブロック図である。

【図12】図11に示した変調部23の各部の出力信号を示す波形図である。

【図13】LD駆動電流のスイッチタイミングのずれに基づく光波形の乱れの説明に供する線図である。

【図14】図3に示したバイアス電流制御部27の動作説明に供する各信号波形の一例を示す図である。

【図15】図2に示したLD変調信号生成部10の構成を示す図である。

【図16】図15に示したランレングス検出部111の内部の詳細な構成例を示す図である。

【図17】図16に示したランレングス検出部111内の各部が出力する信号の波形図である。

【図18】この実施形態における駆動波形生成情報と光波形との関係を示すタイミングチャート図である。

【図19】複数のタイミング情報毎の駆動波形生成情報の組み合わせ例を示す一覧表の図である。

【図20】図15に示した駆動波形生成情報保持部112の詳細な内部構成例を示す図である。

【図21】図15に示したタイミング信号生成部113及び変調信号生成部114の詳細な内部構成例を示す図である。

【図22】図21に示したタイミング信号生成部113及び変調信号生成部114の各部の出力する信号の波形図である。

【図23】同じく図21に示したタイミング信号生成部113及び変調信号生成部114の各部の出力する信号の波形図である。

【図24】図21に示したタイミング制御部160内の2つのシーケンサの動作を示す説明図である。

【図25】図21に示したタイミングパルス信号制御部165における信号削除処理の説明に供する波形図である。

【図26】図21に示したSTENタイミングパルス生成部170によるSTENタイミングパルス信号及びA

PCタイミングパルス生成部171によるAPCタイミングパルス信号の生成例の説明に供する波形図である。

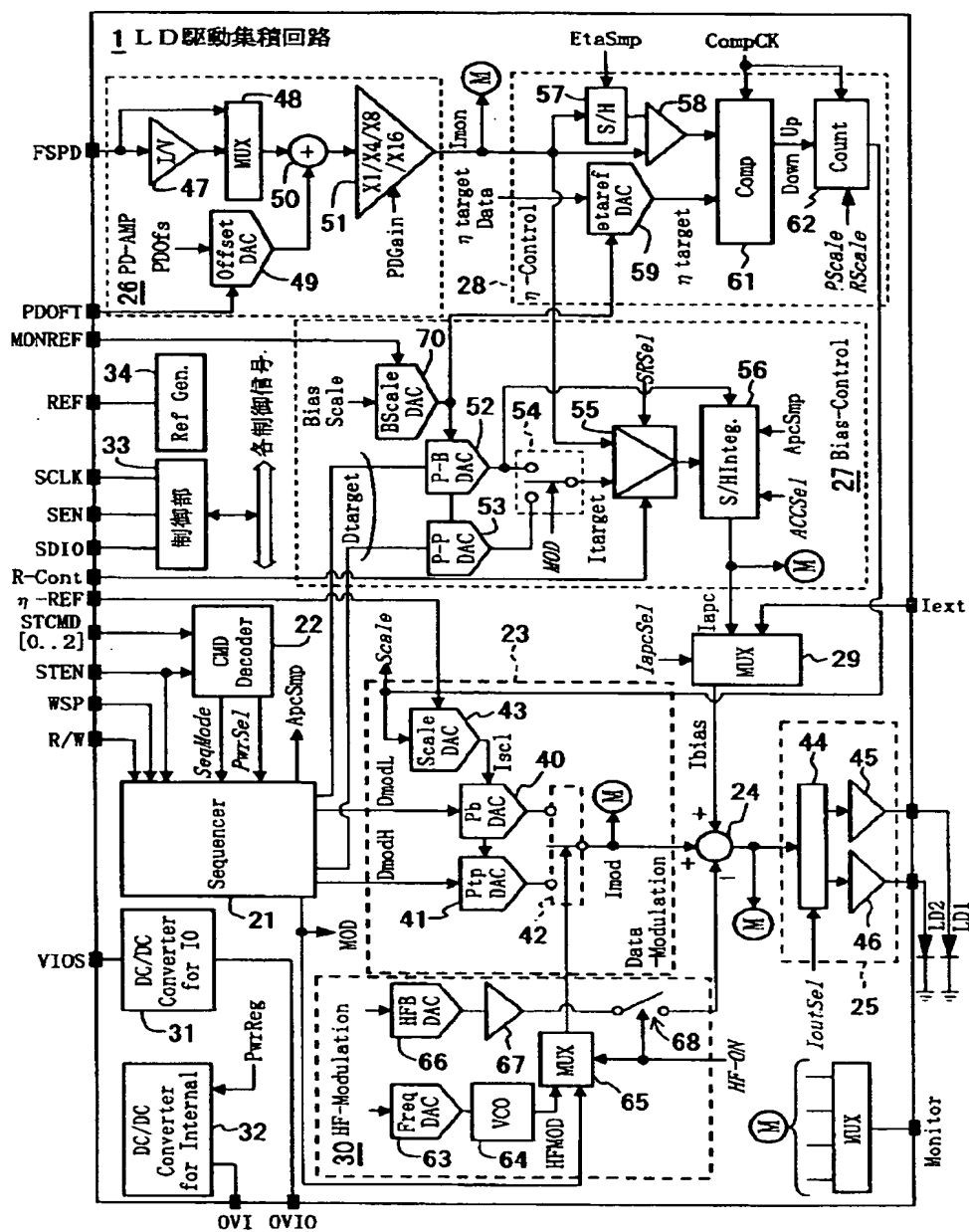
【図27】図2に示したLD変調信号生成部10にエラー検出手段とエラー処理手段を付加した実施形態の構成例を示すブロック図である。

【図28】この発明の他の実施形態のステートコマンド生成部及びコマンドデコーダの構成例を示す図である。

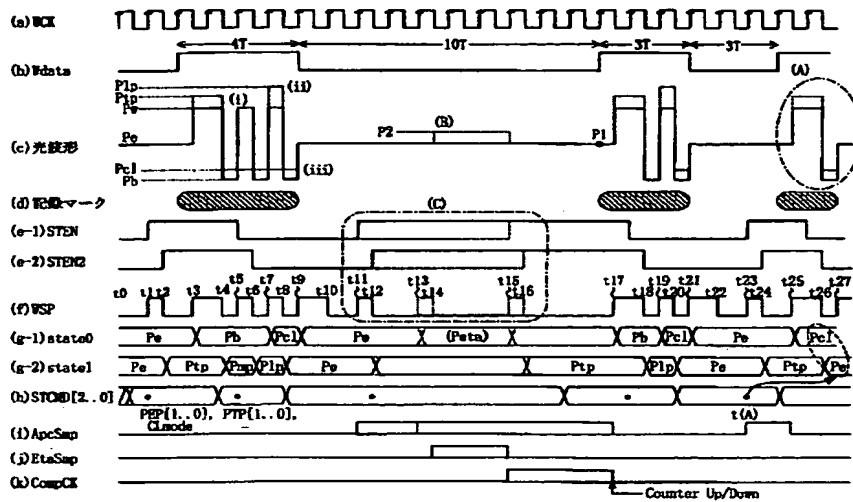
【図29】図28に示した各部の出力する信号の波形図である。

【符号の説明】

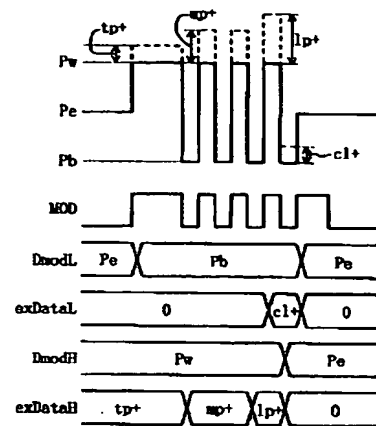
- | | | | |
|----------------------------------|--------------------|--|-----------------------|
| 1: LD駆動集積回路 | 2: 受光信号処理部 | 66: HFBDAC | 67: バッファアンプ |
| 4: RF選択部 | 6: ウォブル信号生成部 | 70: バイアススケールDAC (BScaleDAC) | |
| 9: LD制御部 | 10: LD変調信号生成部 | 71: バイアスDAC (BiasDAC) | |
| 12: LD駆動部 | 13: サーボ信号演算処理部 | 80a: PrDAC | 80b: PeDAC |
| | | 80c: PbDAC | 80d: PclDAC |
| | | 81a: PeDAC | 81b: PtpDAC |
| | | 81c: PmpDAC | 81d: PlpDAC |
| | | 10, 10a~10d, 11, 11a~11d: 電流 | |
| | | 82, 83, 84: スイッチ | |
| | | 90: Pb+DAC | 91: PbDAC |
| | | 92: Pt+DAC | 93: PtDAC |
| | | 94, 95: 加算器 | ILD: 駆動電流 |
| | | 100: 情報記録媒体 | 101: ピックアップ |
| | | 102: 光源 (LD) | 103: 受光部 |
| | | 104: 信号処理部 | 105: 回転駆動部 |
| | | 106: コントローラ | 110: PLL部 |
| 14: サーボプロセッサ | 15: ウォブル信号処理部 | 111: ランレングス検出部 (RunLength Det.) | |
| 16: RF信号処理部/PLL部 | | 112: 駆動波形生成情報保持部 (Strategy Memory) | |
| 17: WCK生成部 | 18: 回転制御部 | 113: タイミング信号生成部 | |
| 19: コントローラ | 20: サーボドライバ | 114: 変調信号生成部 | |
| 21: シーケンサ (Sequencer) | | 115: ステート信号生成部 (STEN Gen.) | |
| 22: コマンドデコーダ (CMDDecoder) | | 116: ステートコマンド生成部 (STCmd Gen.) | |
| 23: 変調部 (Data-Modulation) | | 117: サンプル信号生成部 (Sample Timing Gen.) | |
| 24: 電流加算部 | 25: 電流駆動部 | 118: 制御部 | 120: M分周器 (1/M) |
| 26: PDアンプ部 (PD-AMP) | | 121: 位相比較器 (PC) | 122: ループフィルタ (Filter) |
| 27: バイアス電流制御部 (Bias-Controller) | | 123: 発振器 (VCO) | 124: N分周器 (1/N) |
| 28: 微分量子効率制御部 (η-Control) | | 125: M/N分周器 | 140: カウンタ (Counter) |
| 29: バイアス電流選択部 (MUX) | | 141: 遅延回路 (Delay) | |
| 30: 高周波変調部 (HF-Modulation) | | 142: FIFO制御部 (FIFO Ctrl) | |
| 31, 32: DC/DCコンバータ | | 143: FIFO | 144: レジスタ (Reg) |
| 33: 制御部 | | 150a~150n: アドレス変換部 (Addr Converter) | |
| 40: PbDAC | 41: PtpDAC | 151a~151n: セレクタ | |
| 42, 44, 54, 96: スイッチ | | 152a~152n: メモリ | |
| 43: スケールDAC (ScaleDAC) | | 154: レジスタアクセス制御部 (Register Access Control) | |
| 45, 46: 電流アンプ | 47: 電流電圧変換器 (I/V) | 160: タイミング制御部 (Timing Ctrl) | |
| 48, 65: MUX | | 161, 162: タイミング演算部 | |
| 49: オフセットDAC (OffsetDAC) | | 163a~163d: カウンタ (Counter) | |
| 50: 加算器 | | 164a~164d: 位相選択信号保持部 (Reg) | |
| 51: ゲイン切換えアンプ (X1/X4/X8/X16 AMP) | | 165: タイミングパルス信号制御部 | |
| 52: P-BDAC | 53: P-PDAC | | |
| 55: 誤差アンプ | | | |
| 56: S/H積分器 (S/HInteg.) | | | |
| 57: サンプルホールド回路 (S/H) | | | |
| 58: 差分器 | 59: etarefDAC | | |
| 61: 比較器 (Comp) | 62: カウンタ (Counter) | | |
| 63: FreqDAC | 64: VCO | | |
| 65: MUX | | | |



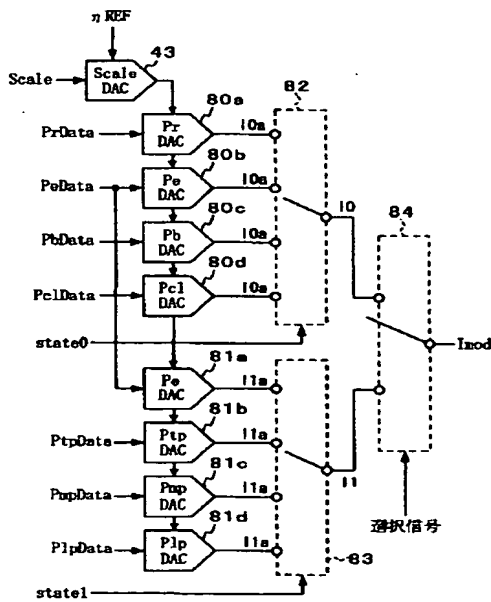
【図4】



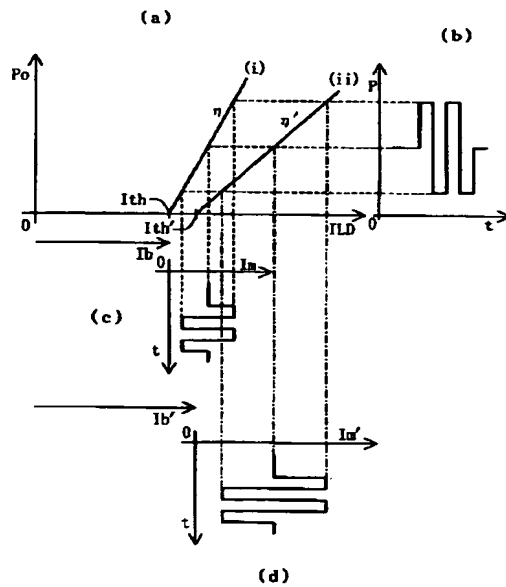
【図12】



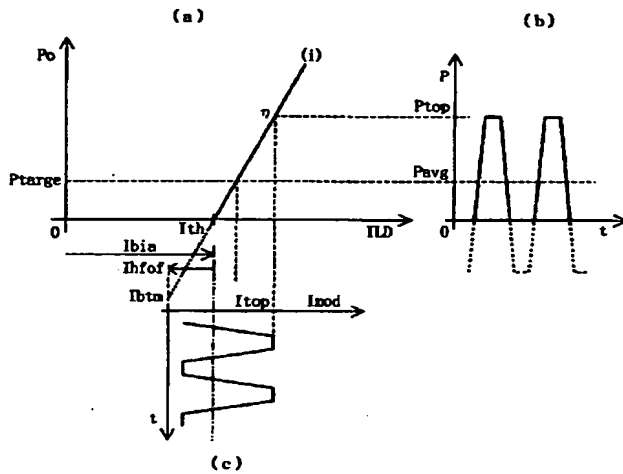
【図6】



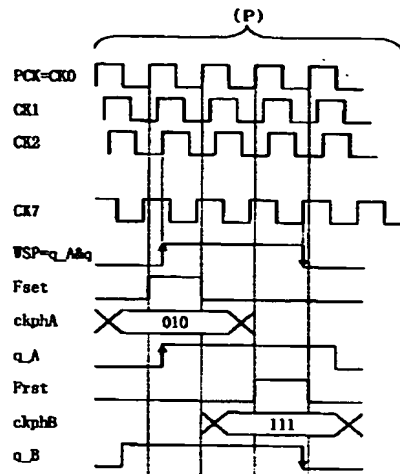
【図8】



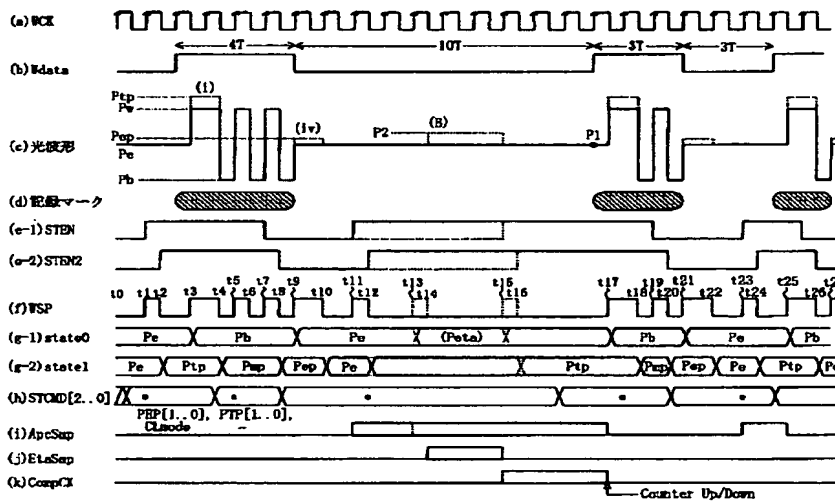
【図9】



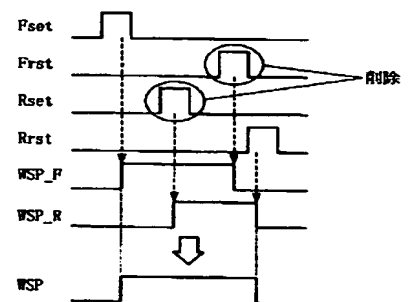
【図23】



【図10】



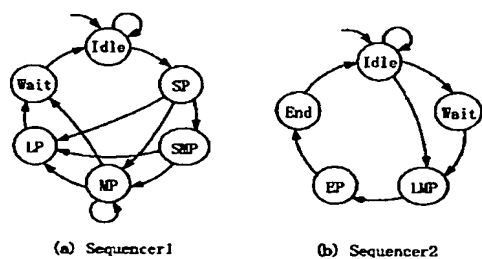
【図25】



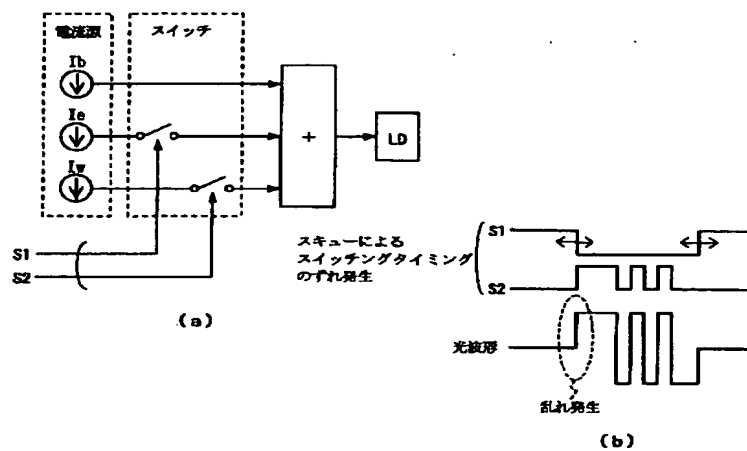
【図19】

TSS:	(3/4/5/6+ Space)	(3/4/5/[6, 8, 10, 14]/[7, 9, 11] Mark)	20
TSP:	(3/4/5/6+ Space)	(3/4/5/[6, 8, 10, 14]/[7, 9, 11] Mark)	20
TSMS:			1
TSMP:			1
TMS:		(3/4/5/[6, 8, 10, 14]/[7, 9, 11] Mark)	5
TMP:		(3/4/5/[6, 8, 10, 14]/[7, 9, 11] Mark)	5
NMP:		(3/4/5/6/7/8/9/10/11/14 Mark)	10
TLMP:	(3/4/5/[6, 8, 10, 14]/[7, 9, 11] Mark)	(3/4/5/6 + Space)	20
TEMP:	(3/4/5/[6, 8, 10, 14]/[7, 9, 11] Mark)	(3/4/5/6 + Space)	20
TES:	(3/4/5/[6, 8, 10, 14]/[7, 9, 11] Mark)	(3/4/5/6 + Space)	20
TEP:	(3/4/[5, 7, 9, 11]/[6, 8, 10, 14] Mark)	(3/4 + Space)	8
PSP:	(3/4/5/6+ Space)	(3/4/5/[6, 8, 10, 14]/[7, 9, 11] Mark)	20
PEP:	(3/4/[5, 7, 9, 11]/[6, 8, 10, 14] Mark)	(3/4+ Space)	8

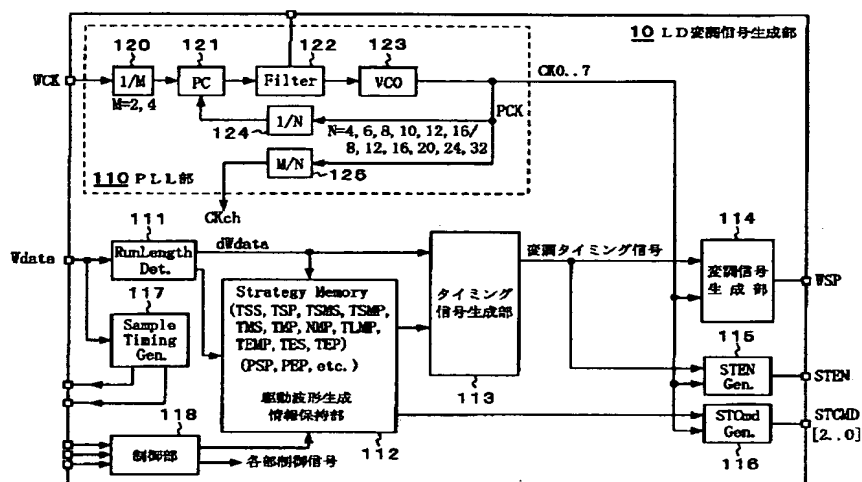
【図24】



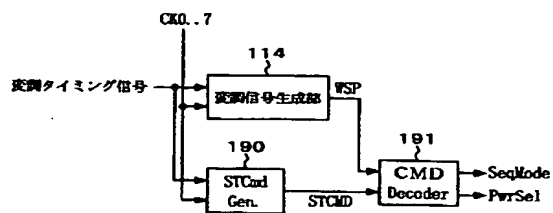
【图 13】



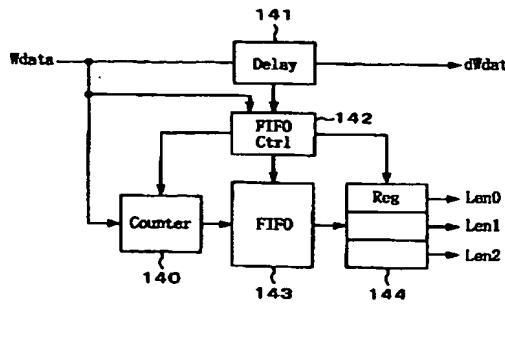
【図15】



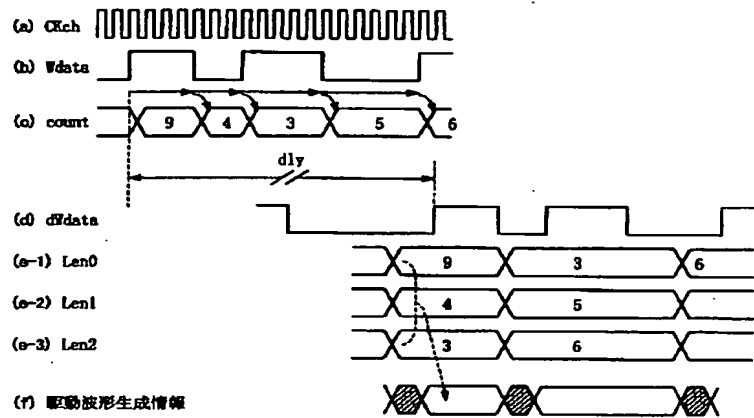
【图28】



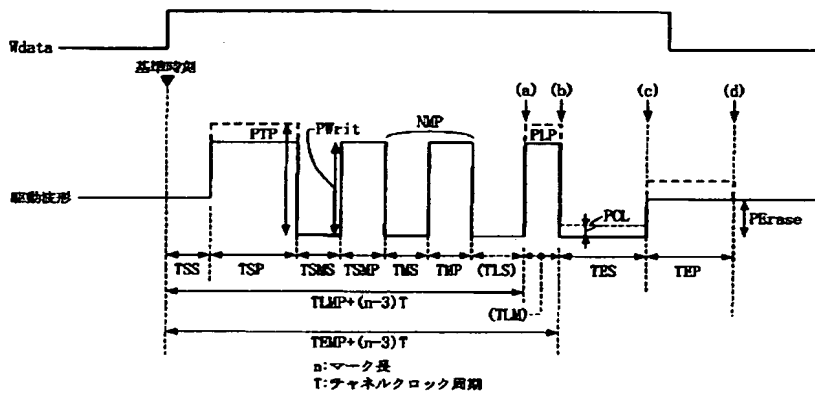
【図16】



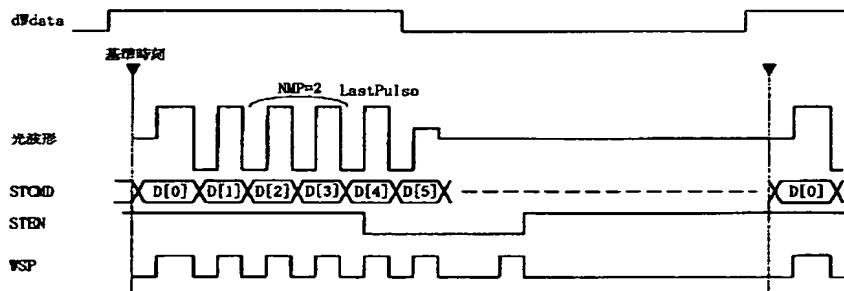
【図17】



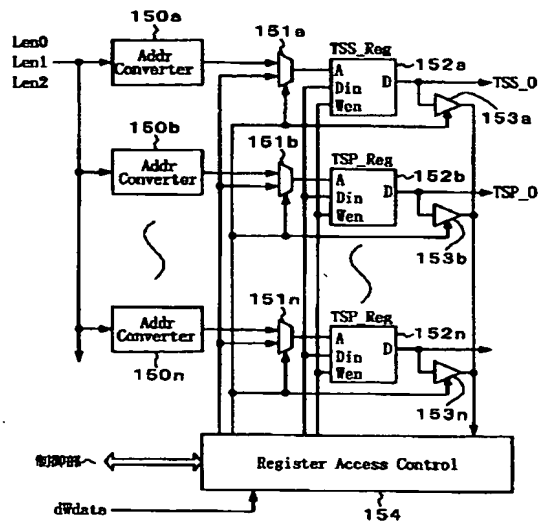
【図18】



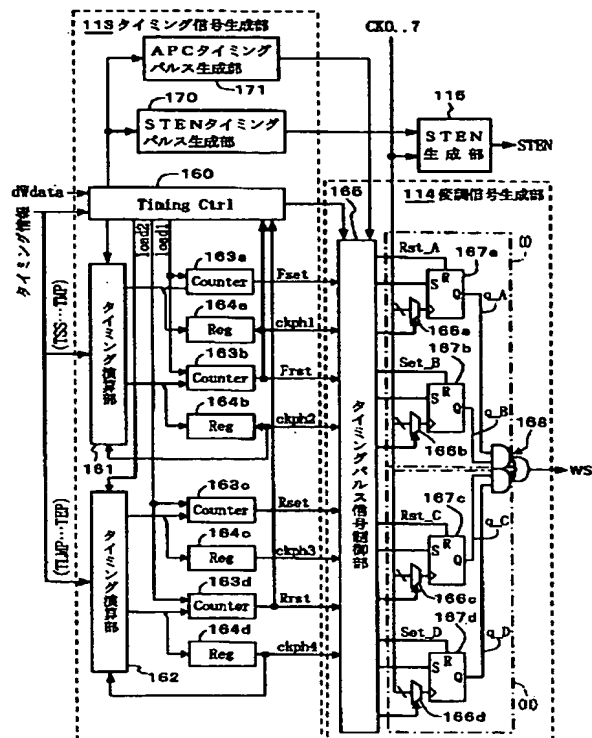
【図29】



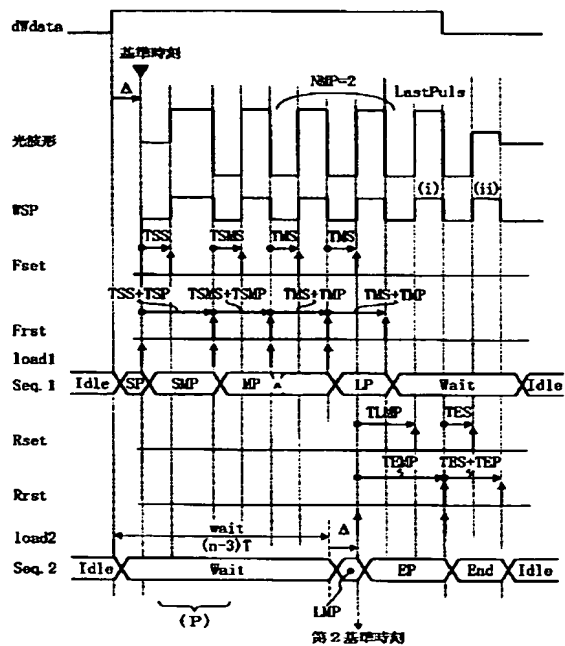
【图20】



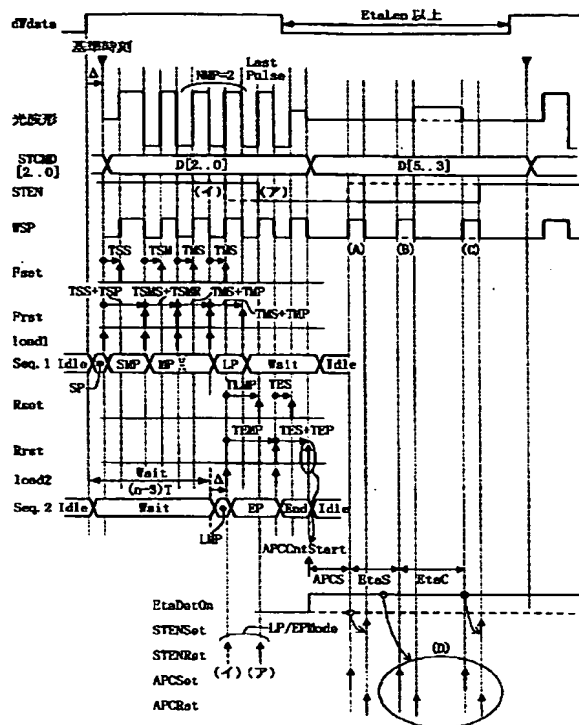
【図21】



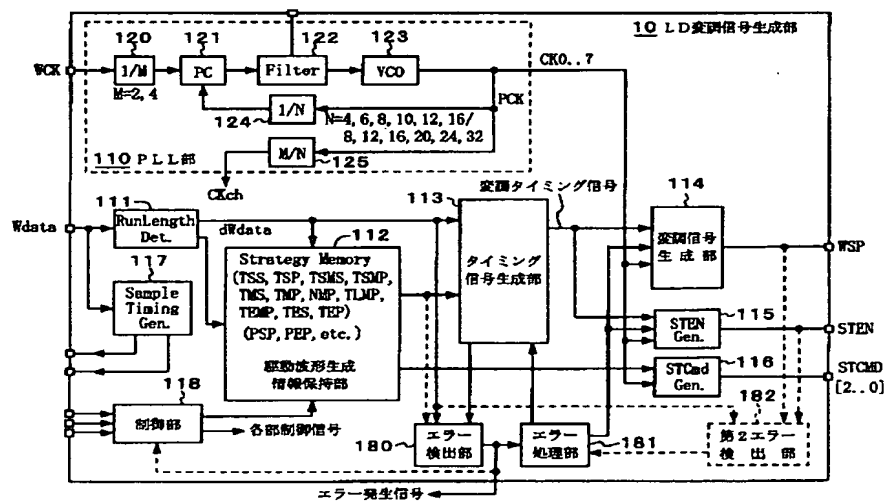
【图22】



【図26】



【図27】



フロントページの続き

Fターム(参考) 5D044 BC04 CC04 EF02
5D090 AA01 BB03 BB04 CC01 DD03
EE02 KK04 KK05
5D119 AA23 BA01 BB02 BB04 DA01
HA12 HA16 HA47 HA60
5D789 AA23 BA01 BB02 BB04 DA01
HA12 HA16 HA47 HA60

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ ~~FADED~~ TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.